

# Open-It 加速器実験のための計測システム技術講習会報告

KEK 素粒子原子核研究所

内田 智久

uchida@post.kek.jp

名古屋大学大学院 理学研究科

浦 義博

東北大学 大学院理学研究科

本多 良太郎

神戸大学 理学研究科

山口 貴弘

2011 年 11 月 11 日

## 1 はじめに

Open-It (Open Source Consortium for Detector Instrumentation) [1,2]が主催する、加速器実験のための計測システム技術講習会が2011年7月から8月にかけて開催されました。延べ123名の学生や若手研究者が各大学や研究機関から参加して加速器実験に必要な計測システム技術について学びました。参加者の所属分野は多岐にわたっており、高エネルギー分野以外にも原子核、宇宙線などで活動する若手が参加しました。ここでは、Open-It 計測システム技術講習会の紹介と講習会参加者による報告(第4節～第6節)をいたします。講習会の雰囲気が伝わることで興味を持っていただければ幸いです。

## 2 Open-It

Open-Itは計測システム技術教育を目的とした技術支援を行う組織であり、その目的は“実験結果をなるべく早く世に出すこと”です。実践的教育がOpen-Itの特徴です。メンバーは計測システム技術の専門家と計測システム開発が必要な実験プロジェクトのメンバーにより構成されています。Open-Itに所属する複数の専門家の助けを借りながら各実験グループに所属する若手が実験を成功させるために“実験で実際に使用する装置開発”を行っています。Open-Itはメンバーに限定せず広く計測システム技術教育を行うために毎年夏に複数の技術講習会を開催しています。次節から講習会について紹介します。Open-Itに関する詳しい情報はwebページで公開されていますので参照してください[3]。



図1：先端エレクトロニクスDAQセミナー参加者

### 3 計測システム技術講習会

講習会には講義中心のセミナーと実習中心の専門技術トレーニングコースの2種類あります。2011年(平成23年)度の技術講習会は以下のようにKEKで開催されました。

- 先端エレクトロニクス DAQ セミナー(5日間)
  - 2011年7月25日から29日
  - 参加者54名
- 先端エレクトロニクス DAQ トレーニングコース
  - ASIC トレーニングコース(10日間)
    - ◇ 2011年8月1日から5日
    - ◇ 2011年8月29日から9月2日
    - ◇ 参加者12名
  - PCB-FPGA トレーニングコース(5日間)
    - ◇ 2011年8月8日から12日
    - ◇ 参加者40名
  - DAQ-MW トレーニングコース(3日間)
    - ◇ 2011年8月3日から5日
    - ◇ 参加者17名

先端エレクトロニクス DAQ セミナー(図1)は初学者を対象とした講義形式のセミナーです。各専門の講師による計測システム入門, アナログ回路技術, デジタル回路技術, ソフトウェア技術に関する講義や過去の受講者の成果発表が行われました。

先端エレクトロニクス DAQ トレーニングコースは以下の専門技術を習得するための自習中心のトレーニングコースです。

- ASIC(Application Specific Integrated Circuit)
  - 回路を集積化する技術: 特に検出器が出力するアナログ信号処理回路を高密度に実装するために使用される。
- PCB(Printed Circuit Board)
  - プリント配線基板技術: 電気回路部品は本技術により回路化される。
- FPGA(Field Programmable Gate Array)
  - 書き換え可能なデジタル回路集積化技術: ASIC などのフロントエンド回路が出力する信号の処理回路を高密度に実装するために使用される。
- DAQ-MW(Data Acquisition Middle-Ware)[4, 5]
  - 汎用化技術: データ収集ソフトウェアを再利用可能な部品として開発する。

トレーニングコース期間は分野により異なりますが, 数週間程度実習形式の講義を受講した後に各自研究室に戻り開発を進める方法が採用されています。

次の第4節から第6節は各専門技術トレーニングコースに参加した受講者の方々による報告です。

### 4 ASIC トレーニングコース(浦)

8月1日~8月5日, 8月29日~9月2日の2週間 ASIC トレーニングコース(図2)に参加した。これは初心者にはハードルの高い ASIC 開発に必要な知識の習得を目的とした, ASIC 製作の実習セミナーである。ここでは, 本コースでの活動内容と私がそこで学んだことについて報告する。



図2: ASIC トレーニングコース実習風景

#### 4.1 参加目的

私の ASIC トレーニングコースへの参加動機は LHC アップグレードに使用する  $\mu$  粒子トリガー検出器用 ASIC 回路の開発に向けた基礎を修得することである。

LHC-ATLAS 実験は, スイスの CERN で行われている大型加速器を用いた素粒子実験である。周長 27km にも及ぶ加速器は陽子を 7 TeV にまで加速し衝突させている。ATLAS 実験では素粒子の世界を記述した標準理論の検証を行い, ヒッグス粒子, 超対称性粒子など新しい物理現象の発見を目指している。

2022年に, LHC はより精密な測定を行うために瞬間ルミノシティを  $10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  から  $5 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$  へのアップグレードを予定している。その結果, 25 ns ごとに起こる 1 パンチ衝突あたりの陽子の衝突が約 20 個から約 400 個に上昇すると予想されている。ルミノシティの増加により, 一部の検出器は性能を上げる必要があるため, 加速器とともに検出器およびそれらの回路系のアップグレードが必要となる。その中で, Thin Gap Chamber(TGC) ミューオントリガー検出器は, 衝突数の影響を直接受けトリガーレートが上昇すると考えられる。よって 現システムより緻密にミューオン飛跡を検出し, 放射線耐性に優れたミューオントリガーシステムが必要となる。私はミューオントリガーでとくに重要である, 飛跡信号と衝突とのタイミングの制御を行う回路の開発が不可欠と考えた。そこで, アップグレード後の LHC 実験のためのミューオントリガー検出器用信号処理回路 Patch Panel ASIC の開発を行いたいと考え, Open-It

のASICトレーニングコースに参加した。Patch Panel ASICは、TGCに粒子が飛来するまでの時間やケーブル長の差から生まれるタイミングのずれを調整し、後段の回路のためにパンチ識別を行う。ケーブル長差は最大で10mあり、時間にすると50nsのずれが生じる。飛行時間の差は、アトラス検出器の中心から最短の検出器と最長の検出器の距離で決まり、およそ20ns程度である。この差は補完しあうようにデザインされているため最大で~25ns程度のタイミング差が生まれると考えられる。このタイミング差を調整する回路がPatch Panel ASICである。

### 4.2 活動内容

このコースは、午前中は全コース出席者が同じ課題に取り組むための講義があり、午後は午前中の復習および各自が製作したいASIC回路の課題に挑んだ。デザインについては講師の方と十分に議論を行った。講義、実習の内容は2週に分かれており、基本的には1週目にシミュレーションを基にした回路設計、2週目にレイアウトとその検証を行い、デザインを固めた。シミュレーションおよびレイアウトの作成はすべてCadence社のDFIIというソフトウェアを使用した。

#### 4.2.1 講義

講義は、Cadence DFIIのsetupから始まり回路設計、様々な解析法、最終的にはレイアウトまでを学びASIC開発に必要な知識を、段階を踏んで学べるよう構成されていた。午前中は講師の指示に従いながら、同様のシミュレーションを行ったため効率よく技術を習得できた。

インバータ、トランジスタ、ローパスフィルタを自作し、製作した回路を用い表1に示す解析を行うことで、回路の基礎、動作原理と実用化にあたっての注意点およびシミュレーション技術を身につけた。

表1: Cadence DFIIで可能な解析タイプと解析対象および例

解析タイプ	調べる内容 (得られる情報)	対象回路 (プロット)
TRAN	過渡応答 (時間応答)	インバータ (Vout - t)
AC	周波数応答 (ゲインと位相)	RC回路 (Gain/Phase - f)
DC	デバイスの静特性 (Vthと利得)	MOS (Id - Vgs, Id - Vds)

例として図3に示すインバータ回路をもとにTRAN解析を行う実習の一部を説明する。理想状態ではインバータの出力に容量はついていないが、現実には配線容量やインバータの出力が他の回路に接続されている。この影響が特性にどのような影響を及ぼすのかを容量値を変化させてシミュ

レーションをしてみる。その結果、容量値が大きくなればなるほどパルスの立ち上がりは遅くなりデジタル回路の動作速度が遅くなってしまふことがわかる(図4)。一般にこの容量は配線長/幅・トランジスタのサイズに比例することは容易に想像がつく。よってデジタル回路においてより微細なプロセスを使用することで、この寄生容量が小さくなり動作速度が速くなることが実感できる。これが半導体プロセスの微細化の原動力の一つとなっていることは周知の事実である。このような実習をおこなうことで、より深く回路および半導体プロセスについて理解できるようになった。

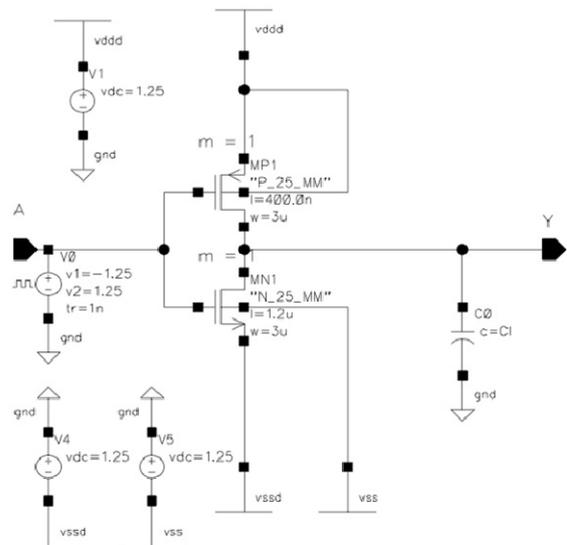


図3: 0.25μm NMOS/PMOSを利用したインバータ回路

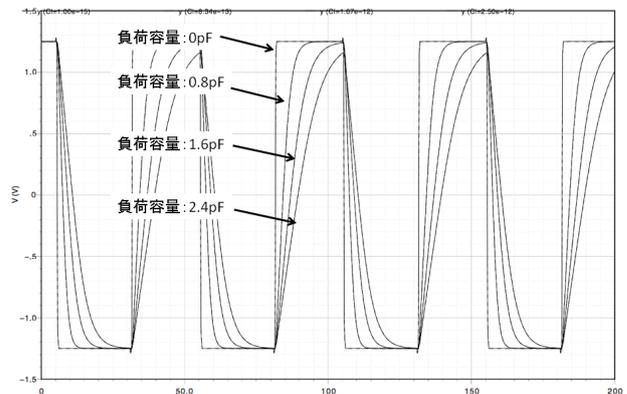


図4: 後段回路の静電容量の時間応答特性

#### 4.2.2 実習

ASICの実習では、講師との議論を繰り返した結果、私の当初の参加目的であったPatch Panel ASICの製作をより発展させてTDC(Time to Digital Converter)の開発を行うことになった。Patch Panel ASICにも使われているPLL(Phase Locked Loop)の性能を追究し、TDCに活用することがその狙いである。可能な限りPLLのtime jitterを小さくし、時間分解能の良いTDCの製作を目的としている。さらに、PLLを利用した基本的なTDC、多重リングオシレー

タを用いた TDC , dual PLL を用いた TDC など、複数の種類の TDC を作製し、最適な TDC 回路を検証していくとともに、シミュレーションとの比較も行うことにしている。実習時に製作した TDC のための PLL 回路を図 5 に示す。

PLL を構成する回路の一部であるリングオシレータは、前述のインバータが周状に接続されている。これらの複数のインバータの出力は“ タイミングが遅延分だけずれている ” ため、この一定時間分だけずれている複数のデジタル信号を使用し、デジタル波形を記録することで、“ 遅延分の時間分解能 ” を持った時間測定回路が製作できる(図 6)。

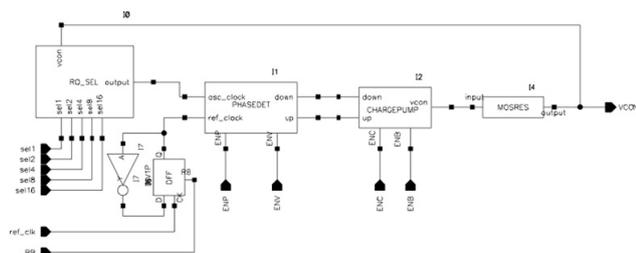


図 5：実習で製作した PLL 回路

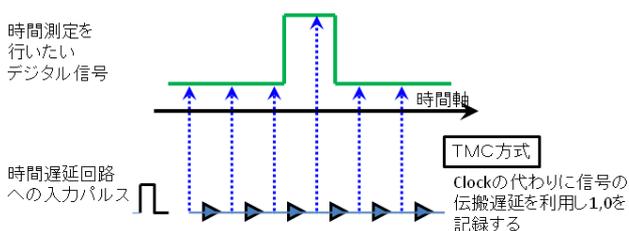


図 6：時間遅延回路を用いた TDC の原理

### 4.3 今後の研究に向けて

初心者であった私は、具体的な目標を持ちながらも、不安を抱えてこのトレーニングコースに参加した。しかしそれは杞憂にすぎず、このトレーニングコースを通して多くのノウハウを身につけることができた。今後は、現在シミュレーション中の TDC の設計を完成させ、時間分解能、jitter などの基本性能評価を検証していく予定である。

また、現在 TDC の回路構成に関しいくつかのアイデアを持っており、それら複数の TDC 回路を作成し、様々な TDC を比較しその潜在的能力を検証していくつもりである。

LHC-ATLAS 実験のミュオン検出器は、TGC の他はガス検出器が主である。本コースで学んだ基礎をますます発展させ、TGC トリガーシステムの Patch Panel ASIC に留まらず、drift tube などのガス検出器の読み出し回路として利用可能な汎用 TDC 回路を作りたいと考えている。

## 5 PCB-FPGA トレーニングコース(山口)

KEK で行われた PCB-FPGA トレーニングコースに参加しました。トレーニングコースが行われた 2011 年 8 月 8 日から 8 月 12 日と現在までについての活動を報告します。

### 5.1 参加目的

私の所属するグループは新型検出器 (Micro Pixel Chamber) の開発を行っています。我々はこの検出器を CERN の ATLAS 実験に導入することを考えています。そのためには多チャンネルで高速読み出しをする必要があり、現在使用しているデータ収集システムでは処理できませんでした。FPGA を用いればそれができるとのことでしたが、私には FPGA に関して経験がなかったのでこのトレーニングコースへの参加を希望しました。

### 5.2 講習内容

このトレーニングコースは実際に FPGA を用いてデータ処理を行う人のためのコースと FPGA 技術を体験するためのコースが存在し、私は前者に参加しました。トレーニングコースの全 5 日の日程のうち、1 日目は FPGA の開発内容を伝えるため受講者の研究内容と開発内容の発表会を行いました。2 日目と 3 日目は体験コースと合同で、テストプログラムを FPGA にダウンロードし実際に動かすまでの一連の流れを学び、また基板を扱う上で必須である半田付けの実習が行われました(図 7)。4 日目には FPGA に関する講義があり、その後プログラムを自分で書く実習がありました。そして最終日に講師の方と個人面談が行われ、これからの開発計画についての打ち合わせをしました。



図 7：PCB-FPGA トレーニングコース実習風景

### 5.3 感想

私がこのトレーニングコースを受講して良かったところは受講生それぞれの開発に対しての手厚いサポートをしていただいたことです。

私たちトレーニングコース受講生は 10 人程集まったのですが、それぞれ別の研究室から集まっており研究対象は ATLAS 実験や宇宙線観測など様々でした。よってデータ収集に関して要求されるものはそれぞれ違います。そうなるのとトレーニングコースでは FPGA 技術に関して基本的なものを教えてもらい自分達の要求はコース終了後自分達で満

たす、という形式になりがちです。しかしこのトレーニングコースは、コース終了後も KEK に来て開発を完成させるまでがセットとなっています。具体的には受講後、講師との打ち合わせを行い開発内容、開発スケジュールなどを打ち合わせます。トレーニングコースが終わってからも、(講師の方とスケジュール調整は必要ですが)都合の良い時に KEK へ向かい、講師の指導のもと各自のデータ収集システムを作ることになります。こうすることで個人個人の開発内容を完成までサポートしてもらえます。

個人面談で嬉しかったことは開発内容に関してプロの目から見てもらえることでした。開発計画に対して手法、スケジュールや予算に至るまで細かく検討していただきました。私の場合、個人面談で「100MHz 程度で 256 チャンネルの入力に対してチャンネル情報と時間情報を出力したい」という程度しか決まっていなかった開発の要望を話したところ、この内容だと KEK で開発している FPGA のボードが使用できるのでこれを使い、開発スケジュールは今年度より少し早いくらいだろうと開発計画に対してスケジュールや予算を細かく検討していただきました。そして、まずは入力データをそのまま出力してそれから時間情報などをつけていけばよい、とこれからの開発方針までアドバイスをいただきました。最初はどうしたものかと開発に踏み出せずにいたのですが、細部まで話してもらい完成までの見通しが立ったように感じます。

またトレーニングコース後に KEK に出張し講師のもとで開発ができることも役立ちました。KEK で開発を進めることで、一日に数回状況を見てもらったり、つまりいたところがあれば相談に乗ってもらったりすることができます。講師には開発内容が伝わっているのでアドバイスは的確でスムーズに開発を進めることができました。

以上の点でこのセミナーに大変満足しています。開発計画を綿密に立て、完成に至るまで面倒をみてもらえる。ここまでやってくれるセミナーは他にはないでしょう。これから FPGA の開発を始める方に対してお勧めできるセミナーです。

## 6 DAQ-MW トレーニングコース(本多)

### 6.1 はじめに

#### 6.1.1 目的

私は東北大学原子核物理に所属し、現在 Open-It の FPGA PCB 部門で SiTCP[6,7]を使った MPPC 用の読み出し回路の開発を行っています。Open-It のサポート体制のおかげで試作回路も完成し、順調に R&D が進んでいるのですが、データ収集系はハードウェアだけでなくソフトウェアまでを含めて、初めて一つのシステムになるため、ソフトウェア面を理解する必要があると考えました。そのため、DAQ-Middleware の利用方法を学び研究室に普及させるこ

とを目的として、今回の講習会に参加しました。また、それと同時に私自身はネットワークをベースにした DAQ の開発に関わるのは初めてのため、そのノウハウや手法についても学べたらという期待もありました。

#### 6.1.2 DAQ-Middleware の利用先

現在私は J-PARC K1.8 ビームラインの実験グループに所属しており、Open-It で開発中の回路も、最終的に J-PARC E40 で K1.8 ビームラインにおいて使用する予定です。K1.8 ビームラインにはすでにネットワーク分散型の Hadron DAQ という DAQ システムが構築されており、現在運用中です。そのため、DAQ-Middleware を本実験で採用することはありませんが、私は DAQ-Middleware を、現在東北大学で主流の UNIDAQ に替わる試験実験の DAQ システムとして採用したいと考えています。

現在東北大学の私の研究室では試験実験を行う際に、通常 UNIDAQ を用います。試験実験用の DAQ PC 内には DAQ ソースやライブラリが整備されており、少ないソースコードの書き換えで目的に合わせた DAQ を構築することができます。UNIDAQ 自体は試験実験で用いるには便利なシステムですが、どうしてもスタンドアロンでの運用になってしまいます。また、以前から使用していたシリアルポートの VME マスターコントローラから徐々にネットワークに対応したコントローラに置き換えが進んでおり、それに合わせてソフトウェアもネットワーク分散型に対応したものに切り替えるのが自然であると感じます。特にオンラインアナライザーに関しては、最近では誰もが性能の高いラップトップ PC を所有しているため、試験実験であっても各々の PC 上でオンラインアナライザーを起動させるべきだと考えます。もちろん既存の DAQ システムをネットワーク分散型に対応させることも可能ですが、その開発自体に多大な労力を要するため賢明であるとは思えません。私も Open-It で開発した試作回路のテストベンチ用に簡単な DAQ を書いて使用していますが、これを拡張して汎用的な DAQ システムにすることは労力からして難しいです。

#### 6.1.3 DAQ-Middleware を利用する利点

DAQ-Middleware は既にネットワーク分散型 DAQ システムとして整備されており様々な機能が提供されているため、システムのベースとして採用するのに最適であると考えました。Scientific Linux であれば yum で導入することが可能で、面倒な依存関係の解決などにユーザーが頭を悩ませる必要がないことも魅力の一つであると思います。また、高度にオブジェクト化が進んでいるため、DAQ コンポーネントレベルでブロックダイアグラムを描くのが非常に容易であり、ソフトウェアを使用する者にとって非常にありがたいことです。この様にユーザーにとって目的に合わせた DAQ

の構築が容易であるという点は、試験実験の様に短時間で準備する必要があり、同時に利用期間も短いという使用形態で力を発揮すると考えます。

## 6.2 活動内容

### 6.2.1 概要

DAQ-Middleware 講習会は 2011 年 8 月 3 日～5 日まで 3 日間の日程で開催されました。講習内容は大きく分けて 2 つです。1 つは DAQ-Middleware の説明と開発の仕方に関する講義(図 8)。もう 1 つは実習で、講習に使われたテキスト内の例題をもとに実際に DAQ コンポーネントを作成して動作させました。



図 8 : DAQ-MW トレーニングコース実習風景

### 6.2.2 学んだこと - DAQ-Middleware に関して

講義は DAQ-Middleware の技術解説書と開発マニュアルに沿って行われました。DAQ-Middleware はロボットシステムを構築するための RT(Robot Technology) Middleware をベースに構築されています。DAQ-Middleware にとってまず重要なのは、DAQ を構成する部品である DAQ component と、それを統括し制御する DAQ operator が存在することです。それぞれの DAQ component は以下に示す 3 種類のポートを持ち、データやコマンドの送受信を行います。

Service port  
InPort  
OutPort

Service port は DAQ component と DAQ operator 間のコマンドや状態の送受信のために利用されます。InPort と OutPort は DAQ component 同士のデータの送受信のために利用されます。InPort と OutPort を利用して流れるデータには header と footer が付与され、データの転送が正しく行われているかどうかの判断に利用されます。また、OutPort だけを持つ component を source 型、InPort だけを持つものを sink 型と呼び、それぞれ、データをハードウェアから取

得するフロントエンド、イベントビルドされたデータを受け取り記録するレコーダなどに利用できます。InPort や OutPort は複数持つことが可能で、イベントビルダーや、各 DAQ component にデータを振り分けるディストリビュータといった機能を実装することができます。

これら DAQ component をどの様に接続するかは XML ファイルによって記述されます。XML ファイル内で component を定義し、どのポートとどのポートを接続するかを記述します。この際 IP アドレスと port 番号も記載し、ループバックを指定すればローカル内で接続することができます。講習会ではローカル内で閉じた DAQ のサンプルが例題として挙げられていました。実際にサンプルモニター(オンラインアナライザー)を起動して、疑似データを流すエミュレータからデータを受け取って ROOT のヒストグラムとして表示させる機能を確認しました。

もう一つ DAQ-Middleware の重要な概念が状態の遷移です。DAQ component は DAQ operator からのコマンドで以下に示す 4 つの状態を遷移します。

LOADED  
CONFIGURED  
RUNNING  
PAUSED

それぞれの状態に遷移する際に一度だけ呼ばれる関数が存在します。この内容をユーザーは自由に変えることができ、初期化などに利用します。また RUNNING 状態とその他の状態ではループする関数が異なり、RUNNING でループする関数には DAQ 機能の中心部分を記述することになります。DAQ operator はこれら状態遷移のためのコマンドの送信や、各 component の状態監視を行います。Operator の制御は CUI, GUI 両方で行うことができます。特に GUI を利用する場合 HTTP サーバを介するため、一般的な web ブラウザにコントローラを表示させて制御することが可能です。講習会では CUI を利用する“コンソールモード”とブラウザを利用する“web モード”の両方を使ってサンプル DAQ の制御を行いました。また、web ブラウザに表示するコントローラの例として、検出器の動作パラメータの管理なども同時に行えるような便利な機能をもったコントローラの開発も可能であるといった例が示されました。

### 6.2.3 学んだこと - 開発ノウハウに関して

講習会では socket 関数の利用方法や、ネットワーク DAQ を開発する際に覚えておく便利な事柄についても講義がありました。その中でも特に私が興味を持ったことは tcpdump の活用でした。これまでローカルにおける各々の処理にどの程度時間がかかっているかを考えたことはありましたが、通信にどの程度時間を使っているかを考えたこ

とはありませんでした。私が目標とする試験実験での利用に関しては多点間を繋ぐということあまり起こりえないかもしれませんが、覚えていて損はないと感じました。実際、テストベンチ用の DAQ のパフォーマンスが十分ではないことがあり、何が悪いのかわからず困った経験がありました。その時はただ単純にネットワークを介したハンドシェイクに時間がかかっていただけだったのですが、tcpdump を使って通信にかかっている時間を調べればもっと早く解決できていたかもしれません。

### 6.3 まとめ

3 日間という短い期間でしたが、わかりやすい講習とサンプルプログラムのおかげで有意義な講習会でした。特に tcpdump の活用のような開発ノウハウも学べたことは非常に良かったと思います。今後は研究室に学んだことを持ち帰り、実際に試験実験で使うにはどうしたら良いかを考えるところから始めようと思います。デモや実際にテストベンチを組むなどして、来年度から運用ができればと思います。

この講習会に何か改善を希望するとしたら、演習の充実をお願いしたいです。今回はテキストに書かれていたサンプルプログラムを利用したので、ローカルだけで動作を確認できるようになっていました。ですが折角の講習会なので、実際にデータ収集用のハードウェアにアクセスしてデータを取得したり、参加者同士の PC を利用して分散 DAQ のデモをしたりするような機会があってもいいと思いました。参加された方の中には既に J-PARC MLF などでも DAQ 開発を担当されている方もいらっしゃったので、全員にとって意味のある演習にはならないかもしれませんが、私のような学生にとってはそういった経験をさせていただけるとより理解が深まるのではないかと感じました。また、そのような演習があることで参加者同士のコミュニケーションが生まれるため、参加者同士の交流もできたのではないかと思います。そういった点では、参加者同士もう少し積極的になるべきだったのかとも思いました。特に学生同士に関しては気軽に話しかけるべきだったかもしれません。

最後に、お忙しい中このような講習会を開催してくださった講師の先生方に深くお礼を申し上げます。ありがとうございました。

## 7 今後

ここで紹介した講習会は今後も継続して開催する予定です。Open-It の目的は“実験結果をなるべく早く世に出すこと”ですが、そのために人の交流と循環を活発にし技術やノウハウを蓄積すると同時に共有化することが必要だと考えています。なぜなら、各実験グループの限られたリソース力を最大限に発揮することが出来るからです。この観点

から講習会の目標を考えると、Open-It で経験を積んだ若手が将来講師として若手教育に携わることだと考えます。近い将来に実現することを期待して活動を継続させて行きたいと考えています。

## 8 謝辞

今年度の講習会も数多くの方々に講師を務めていただきました。講師は研究機関スタッフだけでなく Open-It で活躍している学生も講師として参加しています。Open-It の活動はコミュニティの活性化を願う多くの有志により支えられています。メンバー全員をここで紹介することはできませんので今年度の講師の名を紹介することで感謝の意を表したいと思います。(五十音順、敬称略)阿部利徳(東大)、池田博一(JAXA)、池野正弘(KEK)、大下英敏(KEK)、片寄祐作(横浜国大)、神徳徹雄(産業技術総合研究所)、島崎昇一(KEK)、庄子正剛(総合研究大学院大学)、千代浩司(KEK)、高木雄太(横浜国大)、田中真伸(KEK)、長坂康史(広島工業大学)、林真一(東大)、房安貴弘(長崎総合科学大学)、藤井啓文(KEK)、和田正樹((株)Bee Beans Technologies)。

最後に Open-It の活動に理解して活動を支援していただいている高エネルギー加速器研究機構長と理事の方々、KEK 素粒子原子核研究所長と所属スタッフの方々、KEK 物質構造科学研究所長と計測システム開発室の方々、の皆様深く感謝いたします。この活動は加速科学総合支援事業の補助を受けております。集積回路開発教育活動は東京大学大規模集積システム設計教育研究センターを通し日本ケイデンス株式会社、シノプシス株式会社、メンター株式会社の協力を得て行われています。

## 参考文献

- [1] 田中真伸, 高エネルギーニュース 29-3, pp.151-153, 2010.
- [2] 田中真伸, 日本物理学会誌 66-4, pp.290-293, 2011.
- [3] Open-It ホームページ, <http://openit.kek.jp/>
- [4] 長坂康史, 千代浩司, 技術総合誌「OHM」Headline Review, pp.6-7, 2011年9月号.
- [5] DAQ-MW ホームページ, <http://daqmw.kek.jp/>
- [6] T. Uchida, “Hardware-based TCP processor for gigabit Ethernet,” IEEE Trans. Nucl. Sci., 55, pp.1631-1637, 2008.
- [7] SiTCP ホームページ, <http://e-sys.kek.jp/tech/sitcp/>