

■ 研究紹介

Belle II 実験 トリガーシステム

漢陽大学
 海野 祐士
 yunno@post.kek.jp

KEK
 岩崎 義仁
 yoshihito.iwasaki@kek.jp

国立中央大学 (台湾)
 中澤 秀介
 nkzw@post.kek.jp

2015 年 (平成 26 年) 8 月 21 日

1 Belle II トリガーシステム

Belle II 実験では、KEKB 加速器の約 40 倍の高輝度を持つ SuperKEKB 加速器により高レートで物理事象を得て、標準理論の検証およびそれを越えた物理を探索する。検出器は高いレートで物理事象を的確に捉えるだけでなく、高輝度に付随する高いビームバックグラウンドにも対応できなければならない。Belle II トリガーシステムも同様に高い物理事象レートに高効率で反応し、かつビームバックグラウンドの影響を可能な限り減らすべく開発を進めている。この記事では Belle II のトリガーシステムの概略を説明し、現状をまとめる。なお、Belle および Belle II ではハードウェアトリガーはここで記述するいわゆる Level-1 トリガー (L1) のみであり、後段のトリガーはすべてソフトウェアによるものである [1]。

1.1 トリガーシステムへの要求

Belle II におけるトリガーシステム [2] は SuperKEKB 加速器の輝度増強に伴い、以下の要求を満たすよう設計し、準備を進めている。

1. 最大の平均トリガーレートは 30 kHz 以下¹
2. $\Upsilon(4S)$ 崩壊事象に対するトリガー効率は 100% に近いこと
3. トリガーシステムの遅延は 5 マイクロ秒
4. イベント発生時間の同定精度は 10 ナノ秒以下
5. 連続する二つの事象を分離する最小時間間隔は 400 ナノ秒

これらの要求を満たすため、Belle で成功を取めたトリガーシステムのコンセプトを引き続き採用した。独立した 4 つのサブトリガーシステムを Global Decision

Logic (GDL) に繋ぎ、GDL にてトリガーの最終判断を行う。

表 1 に $\Upsilon(4S)$ 領域における e^+e^- 物理事象断面積および SuperKEKB の目標輝度 ($\mathcal{L} = 8 \times 10^{35} \text{ cm}^{-2}\text{s}^{-1}$) における物理事象のレートを示す。物理事象レートの総和はおおよそ 15 kHz となる。これに対し、DAQ が設定している最大の平均トリガーレートは 30 kHz であり、許容できるバックグラウンドのレートは物理事象レートの総和と等しくおおよそ 15 kHz である。Belle では KEKB 加速器が安定して高輝度になった実験後半でようやくこの物理事象対バックグラウンドの比 ($S/N \sim 1$) が達成できた。トリガーのバックグラウンドは e^+e^- 衝突点 (IP) 近辺の真空事情に大きく左右される。SuperKEKB では加速器の仕様、とくに IP 周りの光学系が大きく変更されるが、それに伴う真空事情の相違が予想される²。そのため KEKB/Belle でのバックグラウンド経験が役に立つとは限らず、この S/N 比を 1 にするのはタフな仕事と予想している。

表 1: 物理事象の反応断面積

Process	σ (nb)	Rate (Hz)
$\Upsilon(4S)$	1.2	960
Continuum	2.8	2200
$\mu^+\mu^-$	0.8	640
$\tau^+\tau^-$	0.8	640
Bhabha	44	350 ³
$\gamma\gamma$	2.4	19 ³
Two photon	12	10000 ⁴
Total	67	~15000

²目標である 40 倍の輝度は、20 倍を絞り込まれたビームサイズ (ナノビームスキーム) より、2 倍をビーム電流より得る予定である。そのため IP 付近ではビームを絞り込むマグネットの配置が優先され、真空ポンプの位置は KEKB と比べ IP から遠ざけられた。

³1/100 に pre-scale している。

⁴Belle 実験より評価した概数。

¹瞬間的なレートは 30 kHz を超えても良い。

1.2 Universal Trigger board 3 (UT3)

このチャレンジングなレート条件を満たすため、Belle II ではおもに以下の二点を Belle トリガーシステムから大きく変更した。一点目はトリガーロジックの実装方法である。Belle ではトリガーロジックの多くが電子回路の組み合わせによりハードウェアとして実装されていたため、ロジック変更にはハードウェア交換が必須であった。一般にトリガーシステムの上流ではそのボード数は多数で、交換はコスト面においてほぼ不可能であった。そこで Belle II ではフロントエンドを含むすべてのトリガーロジックを FPGA (Field Programmable Gate Array) 上にファームウェアとして実装し、将来の状況に合わせたロジック変更を可能とした。FPGA の選定は将来のロジック変更に備え、ある程度余裕を見たものを選択している。二点目はデータの転送方法である。Belle ではモジュール間のデータ転送は差動 ECL 等の電気信号を使用しており、1 チャンネルにつき二本の銅線が必要であったが、Belle II ではすべてのトリガーデータ転送を高速シリアル通信に置き換えた。この変更により、モジュール間の配線量を 1/10 に減らしながら、およそ 100 倍のデータ転送が可能となった。

以上の二点を同時に満たすトリガー用汎用ボードとして Universal Trigger board 3 (UT3) を 2012 年に開発した。UT3 は 6U の VME モジュールで FPGA として Xilinx Virtex 6 (V6HX380T または V6HX565T) を選択した。ロジックセル数 (380k と 565k) は当時の最大に近く、また高速シリアル通信用に GTH トランシーバ (最大転送レート 11.18 Gbps) 24 ポートと GTX トランシーバ⁵ (最大転送レート 6.6 Gbps) 40 ポート、合計およそ 520 Gbps の I/O 性能を持つ。この FPGA には VME bus あるいは GTX 経由の Ethernet よりアクセス可能となっている⁶。GTH と GTX それぞれへのリファレンスクロックとして二系統の外部クロック入力が可能で、複数の UT3 を単一の外部クロックで動作させることができる。このほか旧来のロジックボードとの接続を考え、NIM の入出力 10 系統、LVDS の入出力 64 系統の接続が可能である。また DAQ との接続用として RJ45 (LVDS) を 4 系統装備している。なお、GTH 24 ポート、NIM 2 系統、および LVDS 32 系統はメインボードに、GTX 40 ポートは GTX ドーターボードに、NIM 8 系統、LVDS 32 系統、および RJ45 4 系統は入出力ドーターボードに、それぞれ実装されている⁷。

⁵GTH と GTX は Xilinx 社の FPGA に搭載されている高速シリアル通信用のトランシーバ。各ポートに同レートの入力と出力が備えられている。最大転送レートにより名称が分かれる。

⁶もちろん JTAG によるアクセスも可能だがオペレーション中は使用しない。

⁷二種類のドーターボードは使用に際し必須ではなく、マザーボード単体、あるいはどちらか一方、あるいは両ドーターボードと共に使用可能である。

GTH および GTX のシリアル通信は 64b/66b あるいは 8b/10b を用いたトリガーシステム独自プロトコルを開発し使用している。このプロトコルにより、クロック同期、データ同期、データフロー制御、およびシリアルリンクが落ちた場合の自動復帰等が行えるようになっており、UT3 を含む多くのトリガーモジュールで使われている。

1.3 トリガーシステムの概要

図 1 に Belle II トリガーシステムの概略を示す。サブトリガーは CDC (Central Drift Chamber), ECL (Electromagnetic Calorimeter), TOP (Time-Of-Propagation counter), そして KLM (K_L and μ) の 4 つである。すべて独立かつ並列、また、それぞれがパイプラインとして不動作時間なしに動作する。各サブトリガーで処理された情報は GDL に送られ、最終判断が行われる。このトリガーデータの流れと処理は DAQ から完全に独立しており、DAQ の状態に関わらず常に継続して行われる。GDL からのトリガー信号は DAQ に送られ、イベントの読み出しが開始される。

全トリガーシステムで共通で使用されているシステムクロックは 127 MHz で、これは SuperKEKB 加速器の RF クロック 509 MHz を 4 分周して作られている⁸。

物理事象に対するトリガー判定はおもに CDC と ECL のサブトリガーを用いて行われる。この二つは独立しているため、それぞれで他方のトリガー効率を計ることが可能である。TOP サブトリガーはおもに事象の発生時間をより精密に求めるために使われ、KLM サブトリガーは μ 粒子同定により、CDC と ECL のサブトリガーと組み合わせて使用する予定である。この記事では TOP と KLM サブトリガーは省略する。

Belle では各サブトリガーからサマリー情報のみが GDL に送られ最終判断に使用されていたが、Belle II ではサマリー情報に加え、CDC による荷電粒子の電荷や運動量情報、ECL によるクラスターの位置とエネルギー情報等の詳細情報も最終判断の材料となる。これらの情報を受け取る GRL (Global Reconstruction Logic) では各情報のマッチングが行われ、光子同定や電子同定等も行う予定である。このマッチング情報は $\Upsilon(4S)$ 事象の効率改善にはほとんど寄与しないが、粒子多重度の低い事象とビームバックグラウンドとの取捨選択において大きな改善が見込めるため、積極的に使用する予定である。

⁸DAQ が使用しているシステムクロックと同一である。

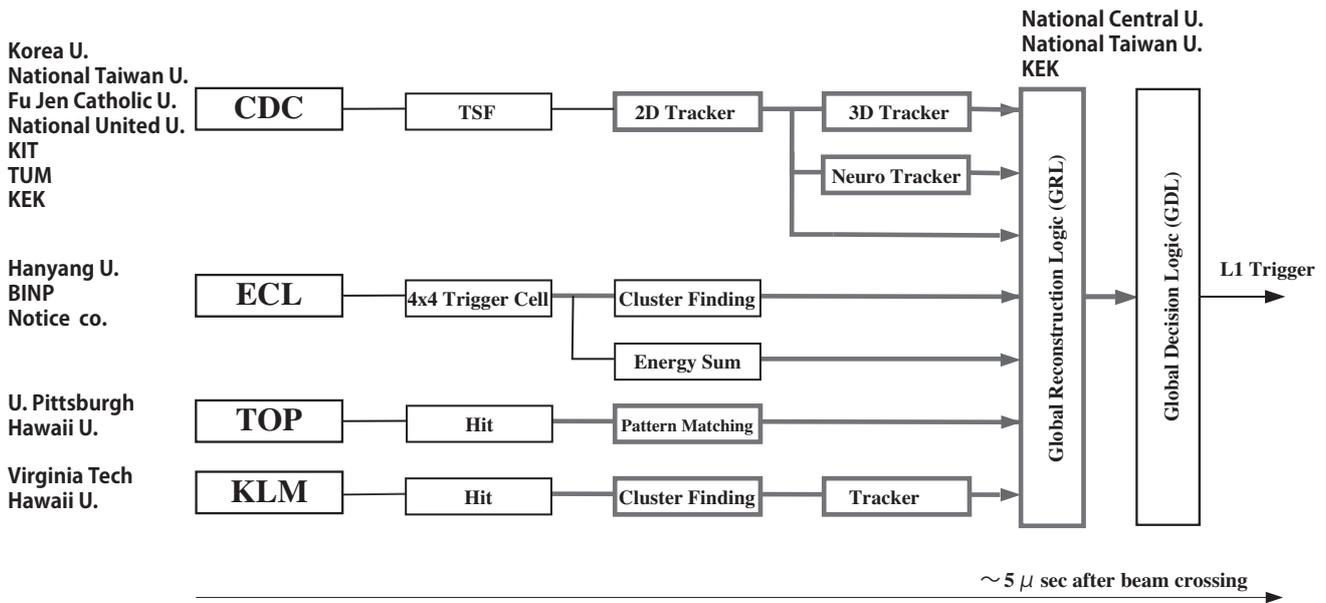


図 1: トリガーシステムの概略。太線で示されている部分が Belle II で新たに導入された部分。左端および上部右側に示されているのはそれぞれのサブトリガーに参加している国内外の機関。

2 CDC トリガー

CDC は荷電粒子の飛跡検出器である [3]。図 2 に CDC の断面図を示す。直径はおよそ 2m20cm で Belle よりおよそ 40cm 大きくなっている。z 軸方向の長さはおおよそ 2m30cm である。総数 14336 本のセンスワイヤーは、6 層で一つのスーパーレイヤーを形成する⁹。全体は 9 つのスーパーレイヤーで構成され、そのうち 5 つがアキシアル、4 つがステレオで、交互に配置されている。すべてのスーパーレイヤーで TSF (Track Segment Finder) と呼ばれる、ワイヤーレイヤー 5 層を使ったグループを作り、この TSF をトラッキングの基礎情報として使用する。

Belle では 0.2 GeV/c と 0.3 GeV/c の二つの P_T 閾値で荷電粒子数のみをカウントしていたが、Belle II では荷電粒子数のみならず、各荷電粒子の電荷、運動量 (P_T および P_z)、および z 方向の発生位置 (Δz) を測定できるように設計した。 Δz の測定はバックグラウンド事象判定への強力な武器となるため、通常の三次元トラッカーのほか、ニューラルネットを使った三次元トラッカーの二つを同時に開発中である。

図 3 に CDC トリガーの概要を示す。トリガー情報はフロントエンドからマージャーを経由して TSF モジュールに送られ、トラックの断片を探す。見つかったトラック断片は二次元トラッカー、三次元トラッカー、およびイベント時間モジュールに送られる。二次元トラッカーは 4 つのモジュールで全 ϕ 方向をカバーする。前述した二種類の三次元トラッカーはそれぞれ 4 つのモジュール、計 8 モジュールで構成される。三次元でのトラッキングのため、アキシアルワイヤーに加えてステレオワイ

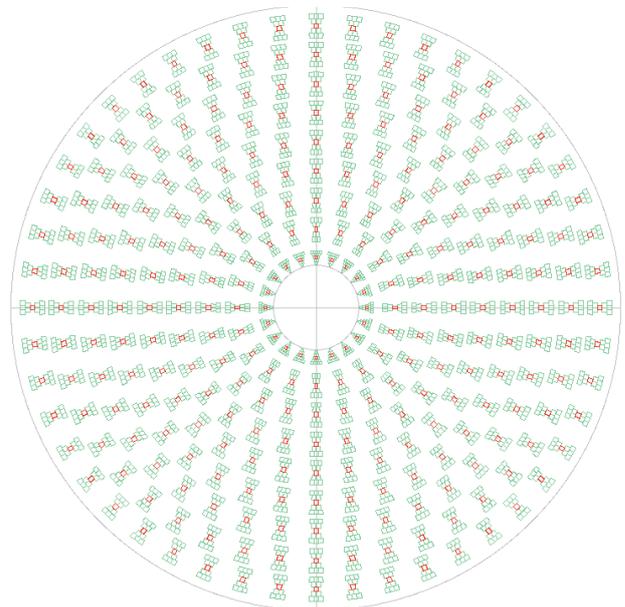


図 2: CDC の断面図 (x - y 平面図)。図中小さな四角形がセンスワイヤーのセルを表す。濃色 (赤) がプライオリティーセルを示しており、このワイヤーのドリフト時間がトラッキングに使用される。セルの塊一つ一つが TSF を表し、全 TSF のうち 1/8 のみを表示している。

⁹最内層だけが例外でセンスワイヤーは 8 層になっている。

ヤーからの情報も取得する。Belle ではおよそ 6 割のワイヤーからトリガー情報が読み出されていたが、Belle II ではほぼ全数のワイヤー情報がトリガー情報として読み取られる。以下でその概要を説明する。

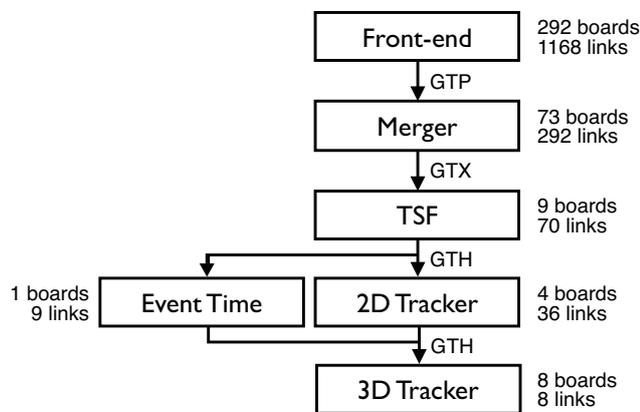


図 3: CDC トリガーの概略。矢印横の名称は使われている高速シリアル通信の規格を表す。各段の役割については本文参照。

2.1 CDC フロントエンド

CDC フロントエンド [4] は CDC バックワード側端面に装着され、ワイヤーのヒット時間 (約 1 ナノ秒の時間精度) と電荷量をデジタル化する。全数は 302 モジュールだが、そのうち 292 モジュールからトリガー情報を取り出している¹⁰。一枚のフロントエンドは 16 本のワイヤー層 3 層を担当している。FPGA は XC5VLX155T が使われており、DAQ 読み出しに対応すると同時に、ヒット時間をトリガー情報として加工し、常時次段に送り出す。フロントエンドのシステムクロックは標準の 127 MHz が使用されているが、トリガーデータクロックとしては 4 分周された 31.75 MHz が使用されている¹¹。トリガーデータは GTX を 4 チャンネルを使い、各フロントエンドより 4×2.5 Gbps で送り出される。

2.2 CDC マージャー

CDC マージャーはフロントエンド 4 枚分のデータを圧縮し、より早い転送レート (4×5 Gbps) で次段に送るために用意された。転送レート制限によりフロントエンド 4 枚分のデータそのままを次段には送れないため、次段で行う処理をできるだけマージャーで行いデータ量を抑制している。全トリガーシステムで Xilinx 社

¹⁰ワイヤーレイヤー最内 2 層はバックグラウンドの影響が大きいためトリガーには使用しない。

¹¹データ量圧縮のため 1 データクロック中一番早いヒット情報のみが使われる。

の FPGA が使用されているが、唯一の例外がこのマージャーで Altera 社の Arrial II が使われている。

2.3 CDC TSF

各スーパーレイヤーのヒット情報はそれぞれ一つの TSF モジュール (UT3) に集められる。合計 9 つの TSF モジュールがある。図 4 に二種類の TSF を示す。最内層の TSF は図中下側に IP があり、その方向からのトラックにのみ感度を持つ形にしている。外層の TSF は磁場により曲げられたトラックに対応するためこの形になっている。隣の TSF は 1 ワイヤーセル分ずらして形成されている。そのため、最内層 TSF では一番下の層、外層の TSF では真ん中の層のみが重複しておらず、他のワイヤーセルは複数の TSF に属している。図中濃色 (赤) のセルはプライオリティーセルと呼ばれ、このセルのドリフト時間のみが後段のトラッカーで使用される。TSF の総数は 2336 である。

トラック断片としての判定は、TSF を構成するワイヤーのヒットパターンにより判断する。一般に 5 層のワイヤーレイヤーすべてにヒットを要求し、かつ層間でヒットが連続していることを要求する。ただし、様々な要因でワイヤーが鳴らない場合も考慮し、1 層のワイヤーが欠けていても断片として判定する。このトラック断片として判定すべきヒットパターンは Look Up Table としてロジック RAM に格納されており、変更が可能となっている¹²。

なお、CDC のドリフト時間は最大 500 ナノ秒程度あるため、この TSF の判定はおよそ 500 ナノ秒の時間幅でのヒットパターンを見て決められる。

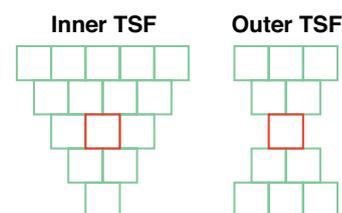


図 4: 左側がスーパーレイヤー最内層の TSF、右側がそのほかのスーパーレイヤーの TSF。四角形はワイヤーセルを表す。濃色 (赤) はプライオリティーセルを表す。CDC 内での TSF 配置は本文および図 2 を参照。

2.4 二次元トラッカー

CDC 内に層状に敷き詰められた 2336 個の TSF の内、5 つのアキシタルスーパーレイヤーの TSF、1312 個を使って、まず二次元でトラックを探す。Hough 変換 [5]

¹²デッドチャンネル等への対応のため。

を用い、各 TSF の座標 (x, y) を IP を通る円の方程式のパラメーター空間 (r, ϕ) に線状に投影する。複数の TSF がヒットしている場合、複数の線が交点を作り、この交点の位置がトラックパラメーターの解を示す。 r は円の半径、 ϕ は x - y 平面上での円中心の方向である。パラメーター空間は r 方向に 16 分割、 ϕ 方向に 160 分割されている¹³。また、交点に対してヒットした TSF の ϕ 方向左右の位置によりトラックの電荷 (± 1) も決定できる。得られたトラックパラメーター $P_T(\alpha r)$ 、 ϕ 、および電荷はヒットした TSF の情報とともに次段に送られる。この二次元トラックャーは UT3 上に実装されているが、データ I/O の都合上、次段の三次元トラックャーと同様に 4 つのモジュールで全 ϕ 方向をカバーする。各モジュールは各電荷最大 3 トラックまで出力できるので、イベントとしては各電荷最大 12 トラックとなる。

2.5 三次元トラックャー

三次元トラックャーは二次元トラックャーと同様、4 つのモジュールで構成されている。入力には二次元トラックャーからのトラックパラメーター、ステレオ TSF のヒット情報、およびイベント時間情報 (次節参照) の三種類である。まず、二次元トラックと空間的に隣接するステレオ TSF を選び、ステレオ TSF の z 方向の位置を決定する。次に各ステレオ TSF までの x - y 平面での IP からのトラック長 s が計算される。この複数の s と z の組により、トラックの IP 近辺での z および P_z が計算できる。これらの計算では TSF プライオリティーワイヤーのドリフト距離が使われるが、このドリフト距離計算のためイベント時間が必要になっている。得られた Δz と P_z を含むトラック情報が GRL に送られる。

さらに、独立したもう一つの三次元トラックャーとしてニューラルネットを使ったニューロトラックャー [6] も開発中である。この二種類の三次元トラックャーは互いにバックアップオプションとなっており、実データで測定した Δz 解像度の良い方がおもに使われる予定である。このニューロトラックャーも 4 つの UT3 で構成される予定である。

2.6 イベント時間情報

三次元トラックャーで述べたように、ドリフト距離の決定にはイベント時間が必須である。当初、ほかのトリガーから時間情報を得ることも考えたが、ほかのサブトリガーに依存する部分があるとサブトリガーの独立性が崩れること、また運用が複雑になること等により、CDC 独自にイベント時間を決定することにした。

¹³各 P_T と ϕ で指定されるトラックを構成できる TSF を使った巨大なコインシデンス回路と等価である。

このイベント時間決定のもととなる情報として、各 TSF は構成するワイヤーの中でもっとも早くヒットした時間情報も保持している。このヒット時間情報を時間軸に沿ってカウントし、ヒットのバンチを見つけ、その立ち上がりイベント時間とする。この際、バックグラウンドによる TSF ヒットを除くため、二次元トラックャーを内蔵させ、トラックを構成する TSF ヒットのみを抽出する。

このモジュールも UT3 上に実装される。入力は全 TSF のヒット時間であり、イベント時間は三次元トラックャー、GRL、および GDL に送られる。

3 ECL トリガー

Belle/Belle II では、興味ある物理過程が光子を終状態粒子に含む割合は非常に高く、例えば $B\bar{B}$ 事象では平均して 50% 程になる。そのため ECL 検出器によるトリガー、ECL トリガーは前述した荷電粒子のみによる CDC トリガーと共に、実験を遂行する上で必要なシステムとなる。CDC トリガーはバレル部のみに感度があるため、エンドキャップ部は ECL トリガーがおもに担当する。この二つはそれぞれ完全に独立したシステムで、最終トリガーを決定する際には互いに補完する関係だが、実データを使ったそれぞれの性能測定でも双方に独立した事象サンプルを提供する貴重な存在となる。さらに、ECL トリガーはオンライン輝度の情報を SuperKEKB に供給する役割りも果たす。

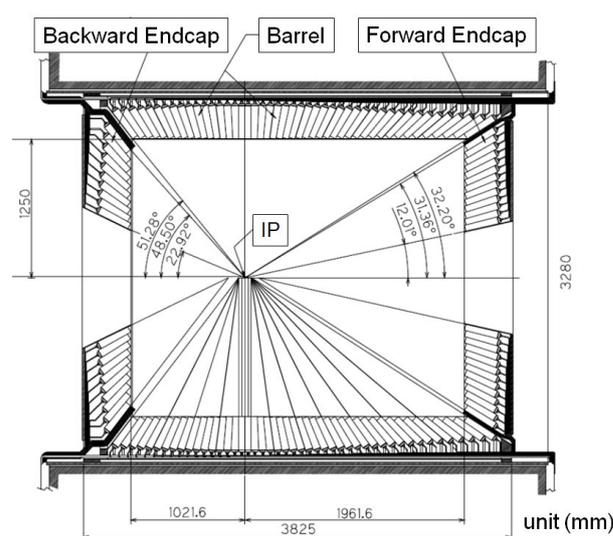


図 5: ECL 断面図 (r - z 平面)。

図 5 に示すように、ECL はバレル部と前後方のエンドキャップ部から構成され、 12.4° から 155.1° の極角をカバーする。Belle で使用した CsI(Tl) クリスタルを Belle II でもすべて引き続き使用し、その数は前方エンドキャップ

ブ部に 1152, バレル部に 6624, 後方エンドキャップ部に 960, 合計 8736 である。各クリスタルは角錐台の形状をしており、その軸が IP を向くよう配置され、内側の大きさはおよそ $5.5 \times 5.5 \text{ cm}^2$, 長さは約 30 cm ($=16.1X_0$) [7] である。

ECL トリガーでは各クリスタルに落とされたエネルギーによって物理事象に対するトリガーを生成するとともに、物理事象の発生時間の測定も行う。それらはおもに二つの測定量をもとに行う。一つ目は前方エンドキャップ部とバレル部に落とされたエネルギーの総量, 二つ目は独立したクラスターの数, 位置, そしてそのエネルギー量である。

Belle での ECL トリガーは要求された性能を発揮できたが, Belle II では加速器の輝度増強に伴いバックグラウンドやトリガーレートの条件はより厳しい。そこで Belle II では, 各クリスタルのエネルギー測定は, フロントエンドの Flash-ADC (FADC) でデジタル化した情報を FPGA で柔軟に処理することで行う。ほかのトリガーシステムと同様, 情報の転送には高速シリアル通信を用いる。Belle の ECL トリガーは 8 種類のハードウェアで構成されていたが, 高速シリアル通信の採用, および FPGA でロジックを実装することにより, Belle II では 4 種類のハードウェアで構成できるようになった。さらにロジックの自由度が大きくなったため, 実験状況の変化に応じた対応が容易であり, 将来予定されているエンドキャップ部のクリスタルの変更 (純 CsI [7, 10]) にもファームウェアの修正のみで対応可能である。

3.1 ECL トリガーフロントエンド

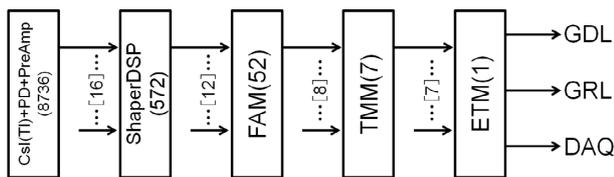


図 6: ECL サブトリガーのモジュール配置。丸括弧内の数値はモジュール数を, 角括弧は各 1 モジュールへの入力ケーブル数を示す。

図 6 に ECL トリガーを構成するモジュールを示す。最上流のプリアンプ等は Belle のものを継続して使用している。残りは上流より ShaperDSP, FADC Analog Module (FAM), Trigger Merger Module (TMM), ECL Trigger Master (ETM) と配置され, これらすべてのハードウェアは新たに開発したものである (ETM は UT3 を使用している)。クリスタルに落とされたエネルギーはペンダイオードで検出され, プリアンプを経て ShaperDSP に送られる。ShaperDSP は 1 モジュールで 16 チャンネ

ル処理でき, 各信号は 200 ナノ秒でシェイピングされた後, 1 モジュール内の 16 チャンネルすべての情報は結合され一つのアナログ情報になる。この $4 \times 4 = 16$ のクリスタルからなる情報をトリガーセル (TC) と呼び, 以降のトリガーロジックの最小単位となる。TC の総数は 576 あり, 576 の ShaperDSP モジュールから得られるすべての TC 情報はアナログ信号のまま次段の FAM に送られる。

FAM ではアナログ情報は FADC (ADCS6424) により 8 MHz, 12 ビットの分解能でデジタル化され, FPGA (XC7K70T) に送られる。Belle では 100 MeV の閾値を超えた TC アナログ信号のタイミングを TC の時間情報としていた。同様な方法では Belle II で予想されるより厳しいビームバックグラウンド環境下で要求される時間分解能を得ることは難しい。そのため, Belle II では, 図 7 に示すように TC のエネルギーと時間情報はこの FPGA 上で信号波形に χ^2 フィットすることにより得る。図中の例のように, 8 MHz でサンプリングされた

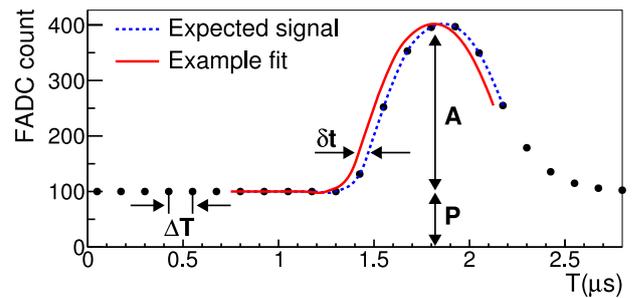


図 7: χ^2 フィットの例。図中の A, P, δt はそれぞれ測定されたエネルギー, ペダスタル, 予想される真の時間との差を示す。 χ^2 フィットは 12 データポイントに対して $\Delta T (= 125 \text{ ナノ秒})$ 毎に行われる。

12 データポイントのみに対してペダスタル 4 ポイント, シグナル 8 ポイントからなる PDF を用いて毎クロックフィットを行う。PC 上で通常行なれるように, 初期値を変え繰り返しフィットをすれば精度の向上が期待できるが, 1 クロックの間隔が 125 ナノ秒しかないため, FPGA 上では 1 クロックで一度のフィットしか行うことができない (1 フィットに必要な各計算は 254 MHz クロックを使用)。そのため, 1 クロック前に行ったフィットの結果を次のクロックで行うフィットの初期値として使用し, 1 クロックに一度のフィットでも十分よい結果を得られるようにしている。表 2 に Belle II の目標輝度時に予想されるビームバックグラウンドを考慮した場合の, フィットなしと χ^2 フィットに対するシミュレーション結果を示す。 χ^2 フィットにより, TC のエネルギー分解能を維持したまま飛躍的に時間分解能が向上していることがわかる。

χ^2 フィット後, すべての TC のエネルギーと時間情報

表 2: TC エネルギーと時間分解能に関するフィットなしと χ^2 フィットのシミュレーション結果。

Method	Input E(MeV)	Resolution(RMS)	
		E(MeV)	T(ナノ秒)
フィットなし	100 – 200	2.7	35.52
	1000 – 1100	2.8	10.15
	8000 – 8100	2.8	4.83
χ^2 フィット	100 – 200	2.2	5.52
	1000 – 1100	2.2	0.61
	8000 – 8100	3.7	0.25

は高速シリアル通信 (2.5 Gbps / GTX) にて FAM から TMM に送られる。TMM では受け取った情報を FPGA (XC7K325T) 上で結合し、さらに高速シリアル通信 (5.08 Gbps / GTX) で ETM に送られる。ETM には TMM を介して 576 すべての TC の情報が集められる。

3.2 ECL トリガーロジック

ETM では FPGA (XC6VHX380T) 上でおもに次の信号が計算される: (1) 全エネルギー (E_{tot}), (2) クラスタ数 (ICN), (3) Bhabha トリガー (Bhabha)。 E_{tot} は前方エンドキャップ部とバレル部に落されたエネルギーの総和である¹⁴。ICN は荷電粒子を含む ECL にエネルギーを落したクラスタ数、つまり粒子数であり、その位置およびエネルギーも測定する。図 8 (参照 [11]) に一つのクラスタを探し出すロジックを示す。左図は IP から見た TC 分布で、灰色の TC にヒットがある例を示す。この例のように複数の隣接する TC にエネルギーが

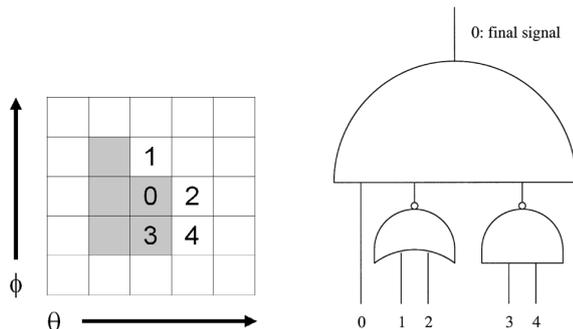


図 8: ICN ロジック。

落とされた場合では、もっとも θ の大きな縦列中の、もっとも ϕ が大きな TC のみを選ぶことでクラスタ数一つとして数え上げる。右図はその論理回路を示し、左図の "0" の TC のみが条件を満たすことになる。Bhabha は ICN をもとに Bhabha 事象を back-to-back のトポロ

¹⁴前方エンドキャップの最内層は除外。

ジーと二つのクラスタエネルギーの大きさにより判定する。この信号は $B\bar{B}$ よりも約 40 倍も断面積が大きい Bhabha 事象を間引き、DAQ の負担を軽減するためにも使われる。Belle での Bhabha トリガーは極角情報のみを用いて back-to-back のトポロジーを識別していたため、 $e^+e^- \rightarrow \pi^+\pi^-\gamma$ や τ ペア事象のような重要で粒子多重度の低い事象のトリガー効率に悪影響を与えていた。そのため Belle II では、極角および方位角情報を考慮した Bhabha トリガーを作成しトリガー純度を上げる予定である。

ECL トリガーは SuperKEKB の運転状況をモニターするためのオンライン輝度の計測にも使われる。単位時間当たりの Bhabha 事象と $\gamma\gamma$ 事象のカウントを Bhabha トリガーにより随時行い、この情報を SuperKEKB に送る。

事象の発生時間は TOP トリガーで測定可能だが、TOP はバレル領域しかカバーしておらず、また荷電粒子にしか反応しない。事象によっては荷電粒子が存在しない、あるいはバレル方向に荷電粒子が飛行しない事象もあるため、ECL トリガーでの事象発生時間の測定は非常に重要となる。Belle ではもっとも早く反応した TC の時間をもって事象発生時間としており、その時間分解能はおおよそ 20 ナノ秒であったが、Belle と同様な手法では Belle II で要求される 10 ナノ秒以下の時間分解能を満せない。そこで Belle II では、TC 単独の時間分解能が FAM 上での χ^2 フィットにより格段に向上していること、および各 TC のエネルギーも測定可能なため高いエネルギーの TC 情報を優先して使うことによりこの問題を解決する。バックグラウンドを含めた $B\bar{B}$ 事象シミュレーションでは時間分解能はおおよそ 3 ナノ秒で、要求されている 10 ナノ秒よりも十分よい精度が得られている。

表 3 に ECL トリガーシステムの GDL への出力情報を示す (将来的には情報量を増やす予定)。同時に GRL には全クラスタ情報 (エネルギー、時間、位置 (θ, ϕ)) を送り、他のトリガー情報とのマッチングに使用する。

ECL トリガーの遅延はテスト用のセットアップで測定し、IP から ETM の出力まででおおよそ 2 マイクロ秒であった。ETM のロジックは最終版ではないが、この値は各サブトリガーに要求されている 4 マイクロ秒に比べ十分短い。

3.3 システムテストの現状と予定

現在は部分的にインストールした ECL トリガーシステム (2 FAM, 1 TMM, 1 ETM) で ECL 検出器とともに宇宙線によるテストを行っている。このセットアップでは ECL トリガーが GDL を介さずに直接 DAQ にト

表 3: ECL サブトリガーの GDL への出力信号。

Item	ビット数
Trigger timing	7
Time stamp	7
Timing source(Fwd, Barrel, Bwd)	3
$E_{tot}(>0.5, 1.0, 3.0\text{GeV})$	3
ICN	4
Bhabha	1
Bhabha type	11
OR-ed Bhabha	1
Barrel Bhabha	1
BeamBG	1
Total	39

リガー信号を送り、ECL 検出器とともに ECL トリガーシステムのデータを読み出す。この秋より、GDL および GRL と接続し、トリガーシステムとしてのテストを開始する予定である。2016 年初めより、FAM と TMM の量産を開始し、すべてのモジュールがそろそろ予定である。その後、その他のサブトリガーを含めた全トリガーシステムでのテストを予定している。

4 GRL

GRL は、各サブトリガーの詳細な情報を受け取り、サブトリガー間のマッチングを行う (図 9 参照)。この機能は多量の情報のやり取りが必要なため Belle 実験では実装不可能であった。受け取る情報は、CDC トリガーによる荷電粒子の運動量と位置、ECL トリガーによるクラスターの位置とエネルギー量、KLM トリガーで見つかった荷電粒子トラックの情報およびクラスターの位置情報等の予定である。詳細な検討はこれからだが、以下のマッチングを考えている。

1. CDC トリガーと ECL トリガーのマッチングによる電子、ハドロン、光子の判定
2. CDC トリガーと KLM トリガーのマッチングによる μ 粒子の判定
3. ECL トリガーと KLM トリガーのマッチングによる宇宙線粒子の判定
4. CDC トリガー、ECL トリガー、KLM トリガーのマッチングによる中性ハドロンの判定

これらの判定をもとにトリガーの純度を高めたり、あるいは、特殊な事象を捕らえるためのトリガーを出力できると考えている。例えば ECL トリガーの Bhabha 判

定にさらに電子判定を要求し純度を高めたり、光子判定を要求した光子一個のみが存在する事象等のトリガー生成も可能である¹⁵。これらのトリガーは要求される探索対象ごとに最適なトリガー条件をシミュレーションを通じて開発し、随時追加していく予定である。これらの出力はすべて GDL に送られる。この GDL も UT3 上に実装されている。

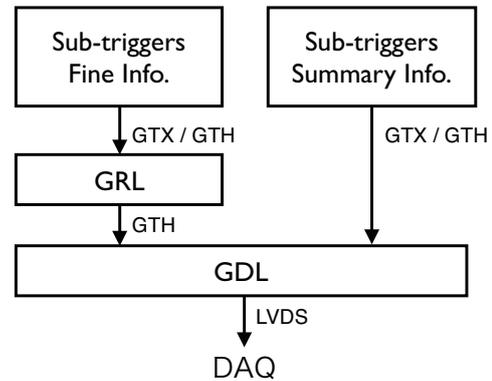


図 9: GRL および GDL の概略。矢印横の名称は使われている高速シリアル通信の規格を表す。

5 GDL

GDL は L1 トリガーシステムの中でもっとも後段に位置する構成要素である。GDL は、サブトリガーや GRL から入力信号を受け取り、遅延を揃え、論理演算することで物理事象の発生を感知し、その事象に対応するタイミング信号を使うことで、ビーム交差から 5 マイクロ秒後に L1 信号を出す。Belle II 検出器が絶え間なく吐き出す全てのデータは一時的にバッファに格納されるが、L1 信号生成時にバッファ内にあるデータが「事象データ候補」として切り出され、DAQ システムに吸い上げられる。以下では GDL の働きを順に見ていく。Belle では GDL は VME クレート一台分の複数のボードとそれらをつなぐパラレルケーブルで構成されていたが、Belle II ではこれらすべての機能は、一枚の UT3 ボードに実装される。

5.1 入力信号の遅延の同期

信号生成に必要な遅延は、サブトリガーシステムによってまちまちである。GDL ではまず、受け取った入力信号それぞれに、事前に測っておいた遅延を与え、同一事象から抽出された入力信号の遅延を揃える。

¹⁵暗黒光子等の探索に使う予定。

5.2 ロジック演算による事象の感知

遅延が揃った入力トリガー信号に対してシステムクロック 127 MHz で論理演算し、事象の発生を感知する。たとえば式 (1) や (2) で表される「ロジック」をどれかひとつでもみたす瞬間があれば、物理過程が発生したと判断する。

$$(n_t2_f > 1) \& (n_t2_s > 0) \& cdc_open45 \& (\text{not veto}) \quad (1)$$

$$e_high \& (\text{not ecl_bha}) \& (\text{not veto}) \quad (2)$$

各入力信号の説明は表 4 にある。ロジック (1) と (2) は、それぞれ代表的な 3 トラックトリガーとエネルギートリガーでたがいに独立であり、ほとんどの $B\bar{B}$ 事象はこのどちらの条件もみたす。このように複数のトリガーが補い合うことで、 $B\bar{B}$ 事象についてはほぼ 100% の検出効率を達成できる。

Belle II は汎用実験であり、取得したい過程によって終状態の特徴 (荷電/中性粒子数, 方向, 運動量, エネルギー損失) が異なるため、ほかにも 2 トラックトリガー, Bhabha トリガー, μ 粒子ペアトリガーなど、個々の過程に対応したトリガーが用意される。

Belle II で期待される新物理には標準的なロジックでは検出できない終状態も含まれるが, FPGA を採用することで, ハードウェアやケーブルを変更することなく新しいロジックを追加できる。

5.3 トリガーレートの調整

Bhabha 事象は検出器の校正や輝度を測定するために必要だが, 断面積が大きいので, すべて取得すると DAQ を圧迫する。そこでたとえば, Bhabha トリガーのロジックが真になった 100 回のうち一度だけ真になるようスケールダウンする。このスケール値は各ロジックごとに決められ, VME bus を通じて UT3 ボードに動的にあたえられる。高いバックグラウンドレートが予想される実験初期は, トリガーレートが DAQ の処理速度 (30 kHz) に収まるようスケール値を調整する。

5.4 タイミングの調整

L1 信号はビーム衝突からちょうど 5 マイクロ秒後に出す必要がある。そこで GDL は, タイミング精度の高い信号 (1 ナノ秒から 10 ナノ秒の精度) を TOP, ECL, CDC から受けとる。これらは, ビーム交差から一定時間後に GDL に供給されるよう調整されており, スケールダウンされたトリガーロジックのうちどれかひとつでも真になったとき, その近辺にあるタイミング信号を適切に選ぶことで, ビーム交差からちょうど 5 マイクロ秒後に L1 信号を出す。

5.5 バックグラウンドデータの取得

物理解析には, 実験環境をよく再現するシミュレーションデータが不可欠である。このため, 物理過程のデータと並行して, 「ビームは交差したが物理過程が起こらなかった状態」のデータを取得する。どの事象データにも, 物理過程の粒子だけでなくバックグラウンド粒子が多数含まれているが, この「バックグラウンドデータ」は, 物理過程のシミュレーションデータに重ね合わせられ, データ取得時のバックグラウンドの状況を再現する。

Bhabha 事象が感知されてから一定時間後にバックグラウンドトリガーを生成することで, 積分輝度に比例したバックグラウンドデータを取得する。

GDL は L1 信号のほかにも, どのタイミングソースを使ったか, どの目的で採取したかなど, DAQ や校正に必要な情報も DAQ に送る。

表 4: 入力サブトリガー信号の例

	ビット数	検出器	
n_t2_f	3	CDC	フルトラック数
n_t2_s	3	CDC	ショートトラック数
cdc_open45	1	CDC	45° 以上離れたトラック
n_clus	3	ECL	クラスタ数
ecl_bha	1	ECL	Bhabha 事象
e_low	1	ECL	$E_{tot} > 0.5 \text{ GeV}$
e_high	1	ECL	$E_{tot} > 1 \text{ GeV}$
n_top	3	TOP	TOP ヒット数
n_klm	3	KLM	KLM ヒット数
veto ¹⁶	1	SuperKEKB	インジェクション veto

6 終わりに

Belle II のトリガーシステムは 2016 年初頭からの稼働を目指している。ただし図 1 で示した全システムではなく今回記述したシステム, CDC, ECL, GRL, および GDL がおもなものになる。宇宙線テスト等を通じたシステムの確認, オペレーションおよびモニター用ソフトウェアの充実を目指す。

当初まったく考えていなかった全サブトリガーシステムでの UT3 共通使用では, ファームウェアの様々な基本モジュールを共有でき, 開発時間の短縮につながった。一方で, Belle II で初めて導入した高速シリアル通信では, 当初使用していた汎用無料プロトコルの遅延量の不定性および大きな遅延のため, 独自プロトコルの開発が必須となった。ロジックのファームウェア化ではトリガーロジック自体は比較的容易であったが, データの抽出やソート, パッキング等の付随するロジックに思いのほか時間を取られた。FPGA の大容量化に伴い, モジュール

¹⁶ ビームインジェクション直後の高いバックグラウンド状態を避けるための信号。

数は減少したが、内在するロジックは以前では考えられないくらい巨大かつ複雑になっている。ゆえに限られた遅延の中で、リソース使用量をも考慮しての開発は、予想外に時間がかかっている。

トリガーの開発ではオフラインでのシミュレーションも欠かせない道具となっている。Belleのトリガーシミュレーションは、ロジックにアナログ部分があったこと、ロジック各所でクロック位相が把握できなかったため、デジタル部分にもクロック位相の不定性があったことにより正確性を欠いていた。Belle II トリガーではロジックに対する入力デジタル化されており、かつ読み出せるようになっているため、原理的にトリガーロジックの完全なオフラインでのシミュレーション、TSIM (Trigger SIMulation), が可能となっている。このTSIMは物理解析の際のトリガー効率計算のほか、トリガーロジックの検証にも使われている。あるトリガーロジックへの入力をTSIMで作成し、出力を実機とTSIMで比較検証したり、逆に実機の入出力をTSIMに入れ、ロジックの検証を行うことが可能である。まだ部分的にしか実現できていないが、トリガー全般への実現を目指している。

まだまだ道半ばで、システムが動いたというには程遠いが、今のところ深刻な問題は見えていない。当初は非常に少なかったマンパワー¹⁷もとくに韓国と台湾グループの参加により豊富になっている。無事物理実験を迎えられるよう皆で作り上げていきたい。

参考文献

- [1] 伊藤領介 他, 高エネルギーニュース Vol.33, No.3, 196 (2014).
- [2] Y. Iwasaki *et al.*, Nuclear Science, IEEE Transactions on, vol.58, no.4, pp.1807,1815, Aug. 2011.
- [3] 谷口七重, 高エネルギーニュース Vol.32, No.4, 241 (2014).
- [4] T. Uchida *et al.*, Nuclear Science, IEEE Transactions on, vol.62, no.4, pp.1741,1746, Aug. 2015
- [5] P.V.C. Hough, Machine Analysis of bubble chamber pictures, 1959.
- [6] S. Skambraks *et al.*, Nuclear Science, IEEE Transactions on, vol.62, no.4, pp. 1732, 1740.
- [7] T. Abe *et al.*, arXiv:1011.0352 [physics.ins-det]
- [8] A. Abashian *et al.*, Nucl. Instr. and Meth. A 479, (2002) 117
- [9] B.G. Cheon *et al.*, Nucl. Instr. and Meth. A 494 (2002) 548
- [10] A. Kuzmin *et al.*, Nucl. Instr. and Meth. A A 623 (2010) 252
- [11] H.J. Kim *et al.*, Nucl. Instr. and Meth. A 457 (2001) 634

¹⁷トリガーグループへの日本からの参加機関はKEKのみである。