

ATLAS 実験における Fast TracKer (FTK) の開発・構築

早稲田大学 理工学術院 先進理工学部・先進理工学研究科

寄田 浩平

kohei.yorita@waseda.jp

早稲田大学 理工学術院 先進理工学研究科

飯澤 知弥

tomoya@kylab.sci.waseda.ac.jp

アリストテレス大学テッサロニキ校・CERN

木村 直樹

naoki.kimura@cern.ch

2016 年 11 月 17 日

1 序章: 研究背景とちょっとした歴史

2016 年, LHC 加速器は 2015 年のパフォーマンス [1] を大きく上回る 約 39 fb^{-1} の陽子・陽子衝突データを供給し, ATLAS 実験は昨年の約 10 倍の 36 fb^{-1} の積分データを蓄積した。最高瞬間輝度は 2015 年の 2 倍以上, 設計値を超える $1.37 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ を達成, 名実ともに世界最高エネルギーかつルミノシティーフロンティア陽子加速器実験としての本格稼働を開始した。今後も Run2(～2018 年), Run3(～2023 年), HL-LHC(2026 年以降) と, 段階的にビーム輝度を上げ, ヒッグス粒子発見後 [2] の「標準模型を超える新しい物理の発見」を目指し, 運転を続ける。

高統計での精密測定や新粒子探索の成果に大きな期待がかかるが, 実験側からすると決してバラ色ではない。高輝度化の宿命, パイルアップ(反応数/バンチ衝突)の爆発的増加に伴う様々な課題, たとえば検出器占有率の上昇やトリガーレートの上昇等に対応しなければ, これまでと同等のデータの質・解析実行性を担保できないからである。そのため ATLAS 実験では, 最内層飛跡検出器 Insertable B-Layer (IBL) [3] の導入をはじめ, 種々の増強計画が進んでいる。図 1 からわかるとおり, パイルアップを抑制するためには事象中の全飛跡を再構成し, 異なる衝突点からの飛跡ノイズを削除・較正することが重要な鍵となる。しかし, 現行の ATLAS トリガーシステムでは処理時間の制約上, 事象中の全飛跡の再構成は不可能である。

本稿は, この課題を解決するために新たに導入される高速飛跡再構成システム (FTK: Fast TracKer) の開発構築について紹介する。FTK は今後の高輝度 LHC 運転

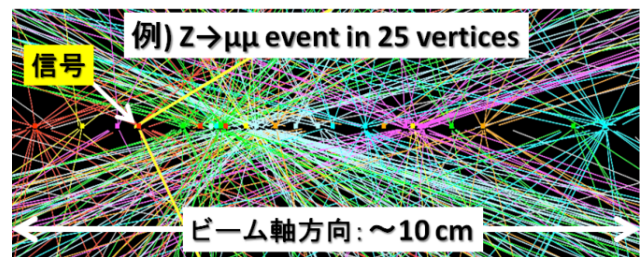


図 1: 25 個のパイルアップ反応点の中の Z ボソン生成事象の例。雑音抑制の鍵は飛跡であることがわかる。

に備え, ATLAS トリガーシステムに導入されるトラックトリガーであり, 事象中の全飛跡 ($p_T > 1 \text{ GeV}$) を高速で再構成することに特化したハードウェアシステムである。

せっかくなので, このプロジェクトの立ち上げ経緯を少しだけ紹介したい。FTK は 1 世代前の世界最高エネルギー実験であった CDF/Tevatron (@ FNAL) の Run2 開始時に挿入された Silicon Vertex Tracker (SVT) [4] に端を発する。SVT は CDF Level-2 トリガーにおいて約 20μ 秒のレイテンシーで事象中の全飛跡 ($p_T > 2 \text{ GeV}$) を再構成できるように設計・製作された。低運動量の全飛跡情報をトリガー発行材料に使用できるという改善は, とくに B physics の感度向上に顕著に役立った。たとえば(当時, 測定不可能だと思われていた)ピコ秒レベルの BS 振動現象の観測 [5] が達成できたのは, ひとえに SVT による飛躍的なトリガー改善のおかげといえる。著者の 1 人である寄田は, シカゴ大学在籍中にこの SVT の運転現場管理を行うと同時に, 2006 年から FTK 開発プロジェクトに参加する。LHC のような

高輝度実験でのトラックトリガーは B physics だけでなく、全てのトリガーパスで威力を発揮すると判断し、当時 ATLAS 実験への提案段階であった FTK の初期開発に加わった。その後、2009 年度に寄田が早稲田大学に移り、新規に立ち上げた素粒子実験グループ(とはいっても、講座制ではない)が推進してきたプロジェクトである。単なる飛跡に特化したトリガーシステムだが、かれこれ 10 年に渡り続けてきた研究課題ということになる。

本稿は、科学的・技術的な側面だけでなく、若い小さなチームの学生・研究者の地道な努力や、如何に国際共同実験の中で戦ってきたか等の“奮闘っぷり”についても知って頂ければ幸いに思う。より詳細な技術に関しては FTK Technical Design Report [6] を参照されたい。

2 FTK システムの概要

現行の ATLAS トリガーシステムは、ハードウェアの Level-1 (L1) と CPU Farm の High Level Trigger (HLT) の 2 段階で構成される。FTK は L1 直後 (100 kHz) の全事象に対して IBL1 層、ピクセル検出器 (Pixel) 3 層、およびシリコンストリップ検出器 (SCT) 8 層からくる 1 億チャンネルのヒット情報を受信し、 $p_T > 1 \text{ GeV}$ の全飛跡の $[p_T, \eta, \phi, d_0, z_0]$ を算出する。 $O(100 \mu\text{s})$ /事象という高速処理により、後段 HLT は飛跡情報をインプットとして利用することができるようになる (図 2)。

FTK は高速化のため、処理の並列化を行う。図 3 にあるように検出器の位置に基づいて 64 個の領域に分割、1 領域あたり 2 個のプロセッサが担当するため、計 128 個のプロセッサによって並列に処理される。領域の境目は、低運動量飛跡の磁場による曲がりやビームの衝突方向の広がり (Luminous Region) を考慮して、十分なオーバーラップをもたせている。各領域への複雑な分配は、任意のブレード間のシリアル通信が可能な Advanced Telecommunication Computing Architecture (ATCA)

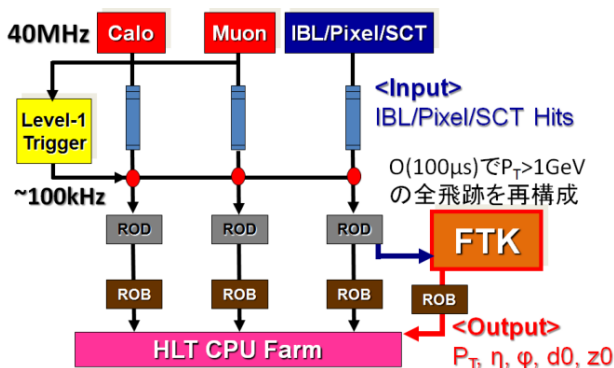


図 2: ATLAS トリガーシステムと FTK の関係図。HLT 開始時には飛跡情報が使用できるため、FTK は“Level 1.5”トリガーともいわれる。

規格を採用している。オーバーラップ領域のために重要なシェルフ間のデータ共有には光学ファイバーを用いる。データ共有の効率化のため、相互負担が最小になるように入力部とシェルフ間の物理的対応、取り回しを決定した。

2.1 FTK の動作原理

高速かつ高品質の飛跡再構成を実現するための肝となるのが、① パターン認識による飛跡候補の検出、② 線形近似による飛跡パラメータの算出である。

① Associative Memory (AM) によるパターン認識: 各検出器のヒット情報より粗いスーパーストリップ (SS) から構成される飛跡パターンをあらかじめ大量に用意し、大容量かつ高速動作する集積回路 AM ASIC チップに格納する。入力された SS が格納パターン内の SS にマッチしたら、Set-Reset Flip-Flop (SR-FF) が上がる。これを SS が入力されるたびに逐次的に行い、全 SS がマークされたパターンから出力される。回路では SR-FF の AND を取っているだけなので、全 SS 入力が終わると同時に全パターン認識が完了するという仕組みである。いわゆるビンゴゲームの要領である。FTK の一つ目の鍵は、この Full Custom AM チップの大容量化にある。主にイタリアが開発してきた 65 nm CMOS 技術を使った最新 AM ASIC の 1 チップ当りの収容可能パターン数は、SVT 当時の 1000 倍の 128k パターンである (図 4)。

9U VME 規格で構成される Associative Memory Board (AMB) 一枚につき、AM チップが 64 枚搭載される。FTK システムは 128 枚の AMB が使用されるため、総計で 10 億以上の飛跡パターンが格納可能となる。これにより、高輝度環境下でもオフライン飛跡の 90% 以上の再構成率を確保することが可能となる。

② 線形近似による飛跡パラメータの算出: 2 つ目の鍵は高精度の飛跡パラメータ $[p_T, \eta, \phi, d_0, z_0]$ の算出である。パターン検出後 Full resolution のヒット

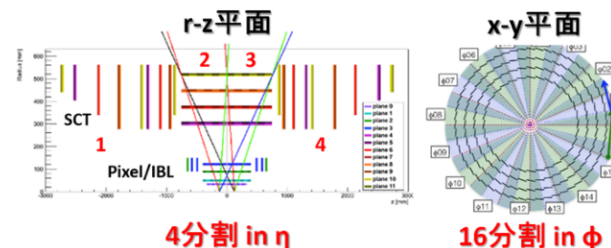


図 3: FTK の並列分割化。ビーム軸方向の広がりや低運動量飛跡の曲率を考慮した重複をもたせて、分割境界付近での再構成率の低減を抑えている。 η 方向に 4 分割、 ϕ 方向は 16 分割、合計 64 領域の並列化がなされる。

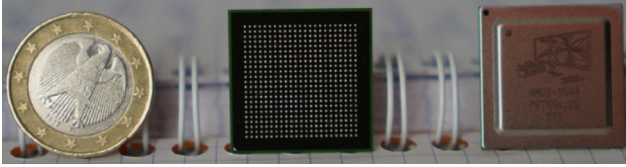


図 4: AM ASIC チップの写真。本体面積約 160 mm² のチップに 128k パターンが収容可能。ちなみに三値連想メモリから着想を得た Don't Care bit が実装されているため、検出器層ごとに異なる SS サイズを用いることができる。

情報を用いて線形一次近似により飛跡情報と χ^2 を計算する。線形近似は以下のような式で表される。

$$p_i = \sum_{l=1}^N C_{il} x_l + q_i \quad (1)$$

p_i : Observed Track Parameter ($i = 0 \sim 4$),

x_l : Hit Coordinate, C_{il}, q_i : Constants

パターンを生成する際にパターン毎のフィット定数 C と q を同時に準備し、ヒット座標が与えられると即座に飛跡情報が得られる仕組みになっている。Processor Unit (PU) によるフィット処理時間は一回当たり約 1 ns である。

FTK はこれらの最新技術や並列処理によって高速かつ高精度の飛跡検出を実現している。ここではこれ以上の詳細は割愛するが、FTK システム全体の仕様概略を表 1 に簡単にまとめる (詳細参照 [6])。

3 FTK 回路設計・試験・量産・挿入

3.1 早稲田大学での基板開発

さかのぼること 2009 年、FTK グループ内の大学・研究機関の基板開発担当を決める会議が開かれた。当時、立ち上げ直後の研究室のメンバーは、寄田、木村(当時研究員)と学部卒研究生 8 名だけであった。さらに経験も信頼もない早稲田大学チームが責任ある開発・試験・量産が可能かどうかは全くの未知数であったが、“モノ”を作らない貢献はありえないという強い信念(単なる根

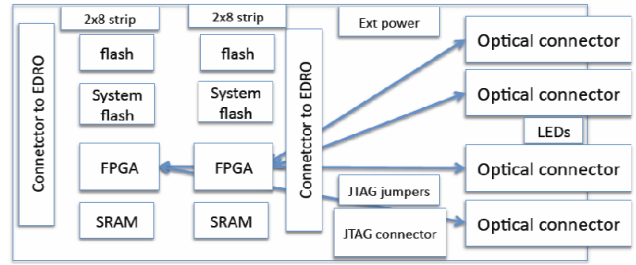


図 5: 2010 年頃に初めて書いた FTK IM のボンチ絵

性論?)のもと、最上流で IBL/Pixel/SCT の全ヒット情報を受信し、クラスター化とデータ圧縮をする Input Mezzanine Board (FTK IM) の開発・試験・量産を担当することとなった。各検出器からの入力ファイバー数は IBL 56 本, Pixel 196 本, SCT 128 本の合計 380 にのぼり、IBL/Pixel に対しては 2 次元クラスタリングを実装する必要がある。FPGA リソースの限界や 150 mm × 75 mm という基板面積制限などを総合的に考慮し、1 FTK IM あたり 4 本の光ファイバーを入力とし、2 つの FPGA (Spartan-6) のそれぞれが Pixel+SCT をセットで処理するという大枠仕様を決定した。その結果、最終的には全 128 台、予備も含めると 160 台の FTK IM を量産する予定になったが、その第一陣となる 80 台分を早稲田大学が担当、残りの第二生産分をイタリアグループが担当することとなった。ちなみに図 5 のようなボンチ絵を描くことから開発は始まったが、最終的には 12 層基板に 350 以上のパーツを実装、1600 本以上の配線を行う仕様となった。一言でメザニンボードと言っても、素人にはなかなか難儀な開発だったことが想像できよう。また、最終的には 128 枚の FTK IM を製作することになるため、量産時の歩留まりや個体試験・管理と予算(最も難儀!)を意識して開発を進める必要があったことも明記しておきたい。

ここから先は、このメザニンボード開発における数多くの失敗談や量産時の苦労話なども紹介したいと思う。実際、経験の無かった早稲田大学チームの開発は、笑ってしまうくらいの失敗の連続だったからである。あまりサイエンティフィックな内容ではない箇所が多くなって

表 1: FTK を構成する各ボードの枚数、規格役割の概要。

| FTK ボード名 | 枚数 | 規格 | 役割 |
|------------------------------|-----|-----------|---------------------|
| IM: Input Mezzanine on DF | 128 | Mezzanine | ヒット受信・クラスタ化 |
| DF: Data Formatter | 32 | ATCA | 64 領域へのデータ配分 |
| PU: Processor Unit | 128 | 9U VME | 1st トラックフィット (8 層) |
| AM: Associative Memory | 128 | 9U VME | パターン認識 |
| SSB: Second Stage Board | 32 | 9U VME | 2nd トラックフィット (12 層) |
| FLIC: FTK L2 Interface Crate | 2 | ATCA | フォーマット変換・送信 |



図 6: はじめて製作した VME 用 FTK_IM 試作機

しまったことはご了承ください。ただ、この記事を読んでくれた若い学生・研究者が、たとえ自分が専門家でなくても「これなら自分でもできるのではないか」とか「大実験でも自分でできることに挑戦してみよう」と思って頂けるのではないかと密かに願い、恥をさらしてみようとおもう。

3.2 [回路設計 → 試作 → 試験] の n 乗

■ $n = 1, 2$: 2011 年～2012 年, とりあえず作る!

2010 年に ATLAS 実験の開発プロジェクトとして正式に承認されたことを受け、基板開発に着手した。FTK_IM はシステム最上流の受信ボードのため、開発の一番手を切る必要がある。そこでまずは基板製作の”肝”をつかむため、様々なメザニンボードを参考にしてとにかく回路基板を”作ってみる”ことから始めた。非常に古い FTK_IM に近い機能をもつ基板のスキマティック、PCB デザイン、パーツリストを知り合いの伊・フラスカッティ大学の技官からいただき、日本で製作しようとしたものの、そもそもパーツリストがイタリア語かつパッケージ規格が日本と違うため、パーツをそろえるのすら困難であった。数社の日本企業に助けをもらい、図 6 のような試作機を何とか作ることができた ($n = 1$)。

ただし、これは既存の VME マザーボード接続用の試作機のため本実機とは異なる QTH コネクターを使用している (VME 用 FTK_IM)。アウトプット線も single-ended で 40 MHz クロックであるため、最終的な本番 ATCA 用 FTK_IM とは全く異なる仕様である。いくつかのマイナーチェンジを経て ($n = 2$)、2012 年には CERN での簡易データ取得テストを行うが、データフローは確認できたものの (パススルー)、クラスタリングは全くできない状況であった。“見様見真似”の限界はすぐに訪れるものである。

■ $n = 3, 4$: 2013 年 2 月～11 月, 自力の設計製作

種々の修行を積み、Cadence software の使用方法にも慣れてきたため、2012 年度からは本番実機 ATCA 用 FTK_IM にとりかかるとにした。コネクター部の変

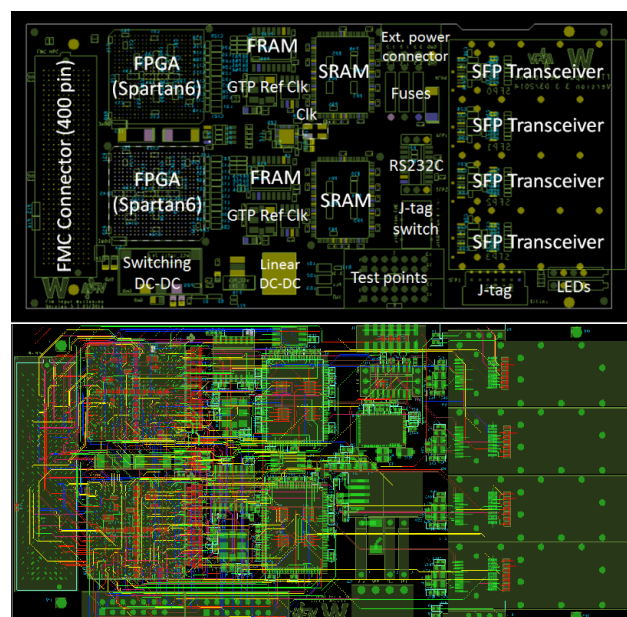


図 7: ATCA 用 FTK_IM のパーツ配置 (上) と配線 (下)。上手にやらないと配線が“詰む”こともある。ネットワークの全てを早稲田大学の大学院生が行った (図 5 のポンチ絵と比べると格段の進歩である)。最終的な PCB は GND 5 層分を含む全 12 層の多層基板である。

更 (QTH から FMC), 電源の変更等に伴うパーツの再選定, さらに配線はゼロから書き直したため, フルスクラッチからの基礎開発となった。小型のメザニンボードの割に部品点数が多く非常に密度が高いため, 部品配置やピン配置に細心の注意を払う必要がある。くわえて信号線も single ended から差動伝送 LVDS に変えたが, パラレルバスのため配線本数が多く, 配線長の調整や最適なピン配置 (FMC-HPC は 400 pin) の決定に非常に苦労することとなる。

学生の頑張りによって, 数ヶ月で全パーツを載せたそれらしい初版 PCB デザインを書くことができた (図 7)。

いくつかの見直し修正後, 意気揚々とローマまで行って, フラスカッティ大学の技官に見てもらったところ, 即座に全配線を初めからやり直すことを勧められた。主な指摘箇所は, 信号線の無駄な取り回しとインピーダンスの不一致問題の改善であった。実際には, 重要なパラレル信号線をいかにきれいに書くかが鍵となる。PCB の回路線の太さと絶縁層の厚み ($O(0.1 \text{ mm})$) を調整することでインピーダンスを合わせたものの, 現実の PCB の厚さ規格との整合性に欠き, 何度かやり直すこととなった。多層基板の複雑な配線のインピーダンス整合は意外と難しいものだと実感したものである。ようやく 2012 年の暮れに専門技官のサインオフがもらえたため, 2013 年初頭から試作機の実機製作に移行した ($n = 3$)。

理論的にはよいものが出来ても, 実機を作るとなると

見落としていた欠陥や新しい問題が次々とでてくる。開発の苦労でもあるが、これこそがもっとも楽しい点ともいえよう。以下に、2013年の試作機製作の段階でおきた(情けない)種々の問題を箇条書きにする。なお、仕様設計図はもちろんのこと、パーツ選定から購入まで全て早稲田大学チームが行い、PCB製作とアセンブリー過程だけ企業((株)コトク)に依頼した。その分、双方の労力は多かったが、極限的に開発予算を削減することができた。これが「小さなチームの生きる道」である。

○ PCB作成時点でパーツ GND 電極を書き忘れていた。
→ 銅箔から手作りで電極を作ってもらおう。PCB修正。
○ 電極はあるのだがマスクを書いておらず、電極が絶縁材で覆われているため、パーツが半田付けできない。
→ 手で削ってもらおう。マスク修正。
○ パーツ型番は同じだが電極の形が違うものを購入したため、パーツがそもそもつかない。
→ パーツを買いなおす。

○ 試作機に電源投入してみると LED が点灯しない。
→ 極性間違いと判明。自分達で付け直す。そのため初期プロトタイプ 5 台は LED が全て内側を照らしており、マザーボードに組込むと見えない。

○ 試作 IM に電源を入れた瞬間にバチッと音がした後、再起不能。ご愁傷様となる大問題が発生。

→ はじめは原因がわからず、壊れた IM のパーツを 1 つ 1 つドリルで粉砕してショート箇所を探した。企業に頼んでパーツを 1 個 1 個はずしてもらったこともできたが、時間短縮と予算の関係で自分たちができる方法での特定を試みた。その結果、電源変更の際に規格外の電源を選んでしまったため、GND - 3.3 V 面にも 12 V がかかり FPGA が破壊されていたことが判明。最終的には電源パーツの変更で対応。

○ ねじ穴の位置が合わない。
…などなど、この他にも実に多くの問題が起きたが、その都度対応しながら、デザインやパーツ選定を修正し、改善を加えるという作業の繰り返しの 1 年間であった。コネクタ変更、複数回の電源変更にくわえて、基板層間の crosstalk 抑制と配線取り回しの柔軟性を上げるため 10 層 PCB から 12 層 PCB にも変更している ($n = 4$)。この間、2 種類合計 10 台の FTK_IM 試作機を製造した。2013 年 8 月には、シカゴ大学/Fermilab で開発されていた FTK_IM のマザーボードである Data Formatter (DF) のプロトタイプ 1 号機が完成したため、Fermilab まで FTK_IM を持参し、接続試験を行い、量産に向けた最終議論の充実化を図った(図 8)。

■ $n = 5$: 2014 年 3 月、量産前最終版の完成
2011 年から段階的に開発を行い、練習用 VME 版 IM

も入れると合計で 4 版、20 台以上の IM を製造してきた。それらの経験を踏まえて、2014 年 3 月にようやく量産前の最終版試作機(第 5 版)を完成させた(図 9)。

早稲田大学で構築してきたテストベンチ(擬似ヒット送信 PCI Express, DF や各種評価ボードで構成)において、電力・温度の最終確認を行った。また、量産許可を得るために必要なビットエラー率(BER) $< 10^{-15}$ の要請や、100 kHz の事象入力レート試験もクリアすることができた。2014 年秋、ようやく ATLAS 実験の最終設計レビュー、続いて量産製作レビューを無事に通過し、早稲田大学担当分 80 台の量産許可が下りる。FTK システムの中で一番乗り、「初のゴーサイン」であった。この段階で FTK の Core Cost (開発費・人権費を含まない物品費用)の合計は約 4 億円、早稲田大学はそのうちの約 8% の貢献が課せられた。開発費や人的費用も入ると明らかに倍はかかっているのがつらい。

3.3 基板量産時のよもやま話

ATLAS からの正式承認を経て、2014 年 12 月頃から量産準備を開始した。まさにここから勝負どころである。80 台の量産はこれまでの試作とは異なり、パーツ購入や実装にも細心の注意を払わなければならない。また製造ラインそのものも試作時とは変わるため、量産中に起こり得る予期せぬ問題の早期発見がきわめて重要となる。そこで量産にあたり、早稲田大学チームがとった方針を簡単に以下にまとめる。

1. パーツ収集・購入・確認・管理:

世界中から全 58 種類、3 万個以上のパーツを自分達で全て確保する。たとえば 160 個の FPGA や SFP/FMC コネクタ等の“大物”は CERN を通して入札にかけ、最安値で購入する。もちろん、そ

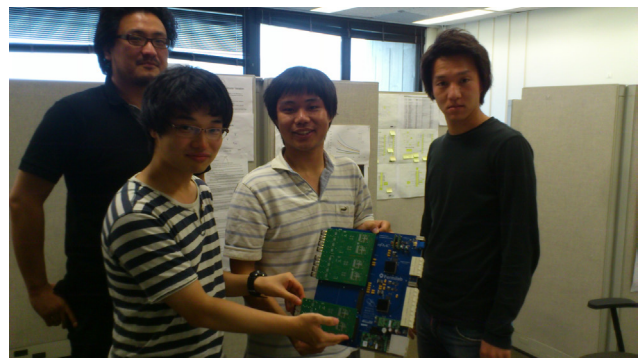


図 8: 2013 年 8 月、米国 Fermilab で行った FTK_IM と DF ボードの(記念すべき)初接続試験。左から著者の 1 人の木村、全配線を担当した郡川君(当時 M2)、奥村氏(当時シカゴ大研究員で DF 開発担当、現 ICEPP)、白神君(当時 M1)。(写真撮影: 寄田)

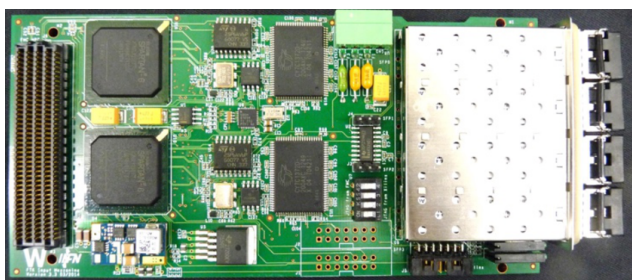


図 9: 量産前の最終版 FTK-IM。図 6 の初期版に比べて、だいぶ面構えがよくなり、男前になっている (と思う)。

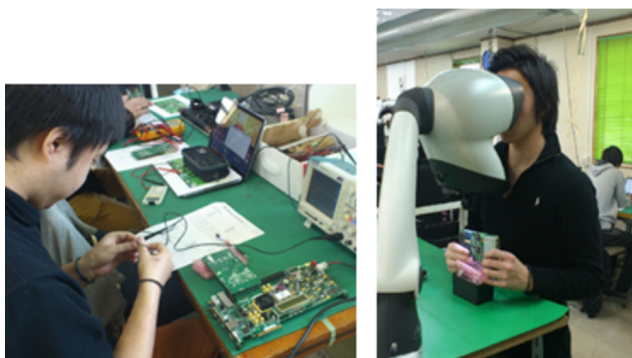


図 10: 量産時に企業に機材を持ち込み、場所を借りて行った基礎試験の様子。目視 (右)、抵抗値, 入出力接続 (左) の試験を行い、万全の量産体制を整えた。

の分手続きはややこしくなるが、予算削減と徹底した管理体制で納入遅延を最小化するには得策といえる。

2. 80 台の量産は 2 段階で行う。製造業者に無理をいって、まず量産ラインで 5 台だけ製作した段階で一旦停止し、早稲田チームが現地 (神奈川県茅ヶ崎市) にて徹底的に調査試験を行う。一連の動作確認がとれたら、残りの量産を再開する (図 10)。
3. 全 80 台に対する基礎試験 (目視, 導通, 抵抗値, 入出力部の接続負荷試験) を製造現場にて逐一行う。

「そんなことは企業に任せればよい」というご意見もあるかもしれないが、それはあまり正しくない。もちろん予算削減という大義名分もあるが、ATLAS 実験のような大きな国際共同実験に参加する若い学生は、なかなか自分の研究を「自分事」として実感することが難しい分、こういった経験ができる機会が大切なのである。学生の成長・たくましさを見ているとつくづくそう思う。

パーツ購入トラブルや梱包形態の問題等、細かい裏話はたくさんあるが、ここでは一つだけ紹介する。量産機を 5 台製作し、順次試験をしていたことにより、FMC コネクタの信号線の不通を発見した。テストデータから順にスキマティック (ピン配置) → PCB (位置) と追っていき、X 線写真や実体顕微鏡で精査した結果、非常に見

えづらい FMC 下の 3 列目のピン半田に亀裂が入っていることを確認することができた。他にも信号に関係ないピンではあるが同じ現象を確認した。もともと厚い 12 層基板のため、スルーホールでの 400 ピン FMC の固定が難しいことは認識していたが、最後の最後で問題となった。最終的にはメタルマスクの FMC 部だけテープを貼り、基板とメタルの間に隙間を作ることで半田が多めにのるように工夫した。その結果が図 11 である。

その後の 75 台の量産全台に不通はなく、種々のマイナーな問題はあったものの、最終的には 80 台中全 80 台が試験にパスした。驚きの歩留まり 100% の達成である。ちなみに FMC 不通問題発覚から量産完了までの時間は 1 週間だった。パーツの特性を良く理解し、自分達で PCB もスキマティックも作ってきたからこそ、量産時の問題に対しても早期に対応、解決できたと思っている。やはり何事も無駄ではない。実際には 2015 年 2 月 3 日から納品日の 2 月 23 日の期間中の 5 日間で、早大から延べ 24 名が茅ヶ崎の工場に張り付き、量産を推進した。実働は、主に修士課程の学生達 (+ 寄田は運転手と番号タグ付け係) であった。数々の無理難題のお願いに加え (ここでは書けないくらい!) 値引き交渉にも応じて頂いた (株) コートクの皆様には頭が上がりません。本当にありがとうございました。

最終的に FTK-IM はここでは書きつくせないくらい多様な機能を搭載したが、最後の最後でユーザーフレンドリーにするための軽微な改良を施した。テスト初期に多用するであろう JTAG ケーブルが DF マウント後も使用出来るようボードの一部に隙間 (削り) を入れた。また JTAG 側からプログラムできるスイッチをつけたのは、気づかいレベルであるが非常に便利な改良である。

3.4 ATLAS への挿入と現場での (拷問) 試験

2015 年 2 月末に納品された FTK-IM は、すぐに早稲田大学で全台試験が行われた。これには高負荷状態での 100 日試験も含まれる。高負荷試験とは、32 bit 40 MHz/ch (S-LINK 最大) でデータを受信し、クラスタリングをしたあとに 200 MHz DDR でデータパターン

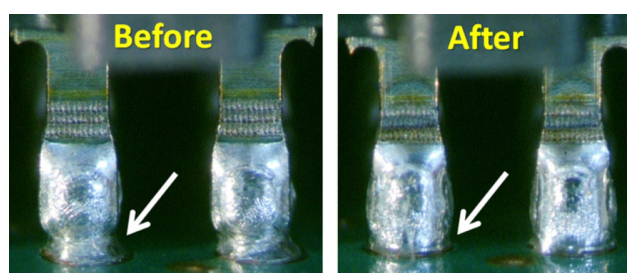


図 11: FMC の半田増量前と後。左のように痩せていると固化中や強い外力がかかるとひびが入ることがある。

を出力する高速・最高負荷での動作安定性試験のことをいう。試験機材リソースの制限から、一度に試験可能な固体数は限られるため、効率的な計画を練る必要があったが、同8月頃には1台が100日試験をクリア(100日間の高負荷試験でNo Error)、全台では253日分に達した。その後、断続的にCERNに輸送していったが、輸送前後で必ず同等の試験ができるようにCERNでの試験環境も整えた。挿入段階で「全IMボードが確実に動く」ことを前提にテストを行うことができるため、なにか問題が起こったとき、“濡れ衣”を着せられる可能性が下がるという意味で大変心強いのである。

ボード生産、初期試験、テストルーム(Lab4@CERN)での動作試験に一定の目途が立つと、いよいよ実際の運転環境へと各ボードを挿入する段階となる。ただし、FTKは既存のシステムの増強でなく、ATLAS実験の中でまったく新しいシステムだということを



図 12: 挿入されたIMとDF

を忘れてはいけない。そのため、挿入作業の第一歩は、環境のセットアップ、ボードのATLASへの登録や、ファイバーの取り回しといった非常に泥臭い作業が主となる。挿入される場所(USA15)が検出器から少し離れているため、380本におよぶ光ファイバーの両端をタグ付けし、取り回し接続が正しいかを一本一本チェックした。現在、各ボードの量産は完了しているが、それぞれの試験進捗状況を考慮して段階的に挿入作業を進めている。FTK_IMは全挿入予定台数のうちの80%程度の挿入がすでに完了しており、依然として切り込み隊長の役割を果たしている(図12)。2017年度にはイタリア製作分を含めた全128台の挿入が完了する予定である。IM・DF組の進捗会合の現場責任は木村が担当しており、早稲田・ギリシャ・米国・CERNが協力して進めている。

ここからはまさに現場作業になるため、ファームウェアの改善と他グループとの戦いの連続である。FTK_IMはFTKの最上流の受信回路のため、うまく機能しないと、飛跡検出器側からもFTKの下流ボードからも、挟み撃ちで攻撃を受ける。すこし油断していると、全くの濡れ衣を着せられることもしばしばである。そこでFTK_IMチームは、単独動作試験実績の充実化とLab4でのテストを並行して行うことで種々の相関や依存性を切り離し、問題要因を浮き彫りにしたうえで、説得力のある弁明と生産的な展開ができるよう努めている

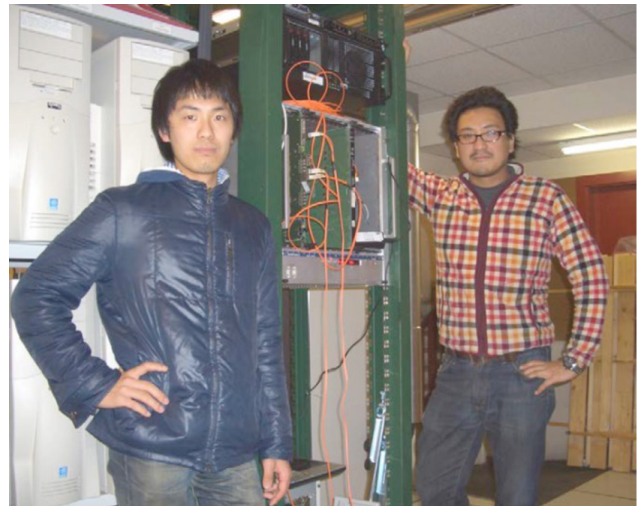


図 13: 現場作業中の1コマ。飯澤(左)と木村(右)。

(図13)。

以下に、とくに注意すべき点とそれに応じて実際に起こった問題の具体例を列挙する。

□ 本流のデータフローに干渉しないことの確認

FTK_IMが飛跡検出器のコピー情報を受信する際、本流側ATLAS実験全体のデータ取得を妨げてはいけない。これについては過去にビーム衝突を行っていないときのテストですでに本流側に影響を及ぼさないことを確認していた。しかし、2015年迄のシャットダウン中に内部飛跡検出器の読み出し回路が一部変更(帯域幅拡大)され、FTK側の電源off/reset信号を感知するファームウェアになっていた。問題発覚当初は、新しい読み出し回路担当の人たちと喧々諤々の議論になったが、何度も密に議論を交わし信頼を得ながら改善、最終的にはFTK側の挙動が影響しないファームウェアに変更され(せ)た。

□ IBL/Pixel/SCTとのデータ通信プロトコルの確立

これについては種々の準備をしていたため、すんなりとデータ受信自体には成功した。ただし、データフォーマットが予期していたものと異なったため、ファームウェアの大幅な書き換えが必要となった。例えば、宇宙線ランだとBunch Crossing ID幅が変わったり、検出器からの送信データモード(通常、圧縮、超圧縮等)も占有率等によって変わるため、それに対応するファームウェアの準備を充実させる必要があった。つい先日の2016年10月末には、シミュレーションでのアウトプット予測と実機でのアウトプットが完全に一致することも確認できた。

□ とにかく例外処理の連続

時々刻々と環境変数が変わるため、例外処理の実装は必須である。あたりまえ(?)なのだが、決して入力情報

が完璧なものだと思っははいけない。いきなりデータが抜けることも、予期せぬシーケンスが来ることも当たり前と考えるべきである。問題が起きて内部の最小単位でモジュールを自動再起動するようにして、他のテストのためにもデータフローを止めないようにするのも、実装は重要なリカバリーである。

その他、重要なモニタリングについては当初 4k words のスパイを読むのに 30 分かかっていたものを、ブロックトランスファーを採用することで数十秒に短縮し、効率的な debug とメンテナンスが可能になった。現場作業はまだまだ続いているが、つい先日 11 月初旬にはテストデータをインプットとして FTK 全システムを通してデータを流し、FTK の初の飛跡を再構成することに成功した。実際の ATLAS 環境での実データからの FTK の初の飛跡 (First Fast Track) を出力する日も近い¹。

4 FTK シミュレーションの構築

4.1 大量のパターン・コンスタント生成

先述したように FTK にとって如何にパターンとフィットコンスタントを生成するかは、そのまま飛跡性能に直結する心臓部とも言える重要な仕事である。著者の飯澤は CERN の現場にてこれまで 2 年間 Software Coordinator として中心的な役割を担っている。同研究室の加地は Software Development の責任者である。具体的には十分な飛跡再構成率を得るために 15 億本のミュオン飛跡を生成しトレーニングを行う。ミュオンの分布は任意に選ぶことができるが、ベースラインとしては $1/p_T, \eta, \phi, d_0, z_0$ をフラットに生成している。飛跡が通過しやすい人気順にパターンを列挙しながら、対応する線形近似の定数を計算する。実際に使用されるときには、人気のパターンから順に AM ASIC チップの容量制限まで格納される。

一方、飛跡再構成の質は、様々な実験環境パラメータによって影響を受ける。たとえば、LHC のビーム衝突点は Machine Development 等により変化するため、パターン・コンスタント生成のトレーニングサンプルと実際のビーム衝突点が異なった場合、飛跡再構成の質が落ちてしまう。図 14 はビーム衝突点の変化による影響を評価したものである。ビーム衝突点が 0.4 mm 移動するごとに新しいパターンを使用することで飛跡再構成率を保てることを示している。その他にも、検出器の不感モジュールや正確な位置を実機環境と一致させる等、多く

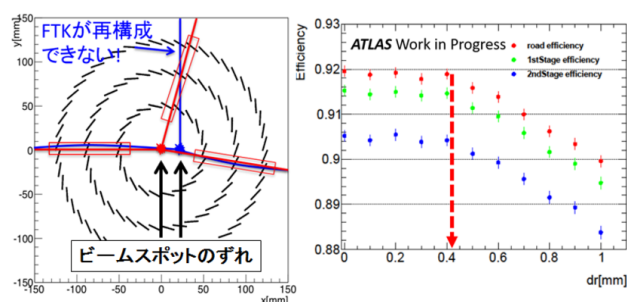


図 14: ビームスポットのずれのパターンの変化 (左)。ビームスポットの変化に対する FTK 飛跡再構成率 (右)。

の項目を正しく設定してパターン・コンスタントを生成することで 90% 以上の高い再構成率及びオフライン飛跡と同等の分解能の飛跡再構成が可能となる。使用するトレーニングサンプルは実験中でも更新することができるため、柔軟性の高いコンフィギュレーションで運用することができるのが FTK の一つの強みである。

4.2 処理時間計算ツール開発と評価

トリガーはレイテンシーとの戦いである。このため、ボードの作成前にあらかじめ予想される処理時間を見積もり、仕様を最終決定することが重要となる。木村と寄田が中心となり早稲田大学チームが開発してきた FTK 処理時間計算ツールは、ヒット情報を入力として各ボードのクロックスピードや予想されるプロセスに必要なクロック数を設定することで、ボード毎の遅延時間を計算できるツールである。パイプライン処理される各ボードの平均遅延時間が 10μ 秒 (ATLAS の L1 レート 100 kHz を仮定) を超えるとトータル遅延時間が断続的に増加することになり、最終的に ATLAS トリガーシステムにデッドタイムを作ってしまうことになる。開発当初、このツールを使った研究成果から、測定器の分割領域数が足りないことを指摘し、当初予定の 8 倍の 64 領域に増やすことを提案し、採用された。

一方で各ボードは、このエミュレーションで宣言したクロックスピードを達成すべくファームウェアを構築していくことになる。FTK IM では最上流のボードとして初期からクロックスピードを固定し、リソースの占有率が高くなるたびに回路の時間制約と戦ってきた。IM では各 FPGA で 2 本の 1.28 GHz の高速入力信号と 12 本の 200 MHz DDR 出力が主な時間制約を違反する信号である。特に出力ピンは使用するスライスを手動で固定することで FPGA 内のパスを規則的に並べ、宣言通りのクロックスピードを達成している。今後のシステム最適化や問題発見にも有用なツールである。

¹本稿校了後の 12 月 3 日、2016 年の運転終了直前の鉛-陽子衝突で First FTK Track の初出力を達成した。木村と飯澤が、CERN 現場にて数年間片眠だった“FTK 達磨”を両眼にする日がついに来たのである。

5 現状の課題と今後の展望

今後の計画としては、2016年度中に検出器中心領域の挿入を完了し、2017年初旬～中旬にかけて全領域をカバーして運転を開始する。その後、AMチップの増強等のアップグレードを順次行っていき、2021年に始まるRun3からは高パイルアップに対応したフルスペックでの運転を行う計画である。まずはFTKパフォーマンスを実機で評価し、パターン・コンスタント生成を最適化することが重要となる。そのうえでVertexingや飛跡オブジェクトである b ジェット、ハドロン崩壊する τ 、また消失横エネルギーの較正に使用することでRun2/Run3のトリガーをより強固なものにできると期待している。

また将来的には、消失飛跡や出現飛跡、それに伴う低運動量レプトン・ハドロンもトレーニング次第で積極的に取得するコンフィグレーションで運用することも可能である。飛跡を武器に物理の重要性の変化に対応できる柔軟なシステムに発展することが肝要である。また、2026年以降に予定されているHL-LHCの瞬間輝度でのパイルアップ数は優に100を超える。レイテンシーや入力レートも現在よりもはるかに過酷な状況となる。現行FTKはHL-LHCには対応していないため(Run3迄の仕様設計)、ATLAS実験としてはさらに強固な超高速トラックトリガーを開発・構築する必要がある。

6 むすび

FTKプロジェクトはシカゴ大学、ピサ大学、早稲田大学の他にもイリノイ大学、ジュネーブ大学など約15の大学研究期間の共同研究で進められている。また、本研究はたくさんの方々の協力によって成り立っている。ここで感謝の意を述べたい。まずは、早稲田大学という新参者のATLAS参入に加え、新しいFTKプロジェクトに対しても多大な強力と援助をして頂いたATLAS日本グループの皆さん。再三にわたる仕様変更や鬼のような値引き交渉にも関わらず「お役に立てて光栄です」とまで仰って頂いた株式会社コートク社長の伊藤さん、技術担当の高橋さん。本当に感謝しています。おかげさまでFTKプロジェクト内では”Good news is always from Japan!”とされています。

また本稿をご覧になれば一目瞭然だが、実働のほとんどは研究室の大学院学生らである。2009年度に立ち上げた一研究室が0からはじめてここまでできたのは、まさに学生達の頑張り・努力の賜物といえる。これまでFTK開発にかかわった卒業生の名前をこの場を借りて紹介したい。初代の千葉君、鎌塚君(2011年度修士卒)、大矢君(2012年度修士卒)、郡川君(2013年度修士卒)、

白神君、昌子君(2014年度修士卒)。また本稿の執筆にも協力してくれた今年度修士卒業予定の川口君、亘君、今年度博士号取得予定の三谷君、現役バリバリの加地君、靱山君、上田さん、これからが本番です。最後に、このような貴重な機会を頂いたうえ、原稿校正でもお世話になった高エネルギーニュース編集委員の皆様にご心より感謝申し上げます。

参考文献

- [1] 隅田土詞, 高エネルギーニュース, **34**, 259 (2016)
- [2] 田中純一, 高エネルギーニュース, **33**, 245 (2015)
- [3] 田窪洋介, 生出秀行, 高エネルギーニュース, **33**, 61 (2014)
- [4] SVT: A. Bardi *et. al.*, NIM A **409**, 658-661 (1998)
- [5] 受川史彦, 高エネルギーニュース, **25**, No1 (2006)
- [6] Fast TracKer (FTK) TDR: CERN-LHCC-2013-007, ATLAS-TDR-021, <http://cds.cern.ch/record/1552953>