
ASICの製作

池田 博一

iked@post.kek.jp

高エネルギー加速器研究機構

素粒子原子核研究所

平成15年7月30日

Abstract

ASIC(特定用途向け集積回路)という用語が出現してから久しいものがあります。最近では SoC(システムオンチップ)という用語も飛び交っています。しかし、集積回路を高エネルギー物理学に適用する現場では、依然として敷居の高い技術の部類に属するものと認識が支配しているようにも思われます。そこで、集積回路の設計・開発の手順等について紹介することにより、集積回路の開発に着手しようとする研究者の便宜に供する事にしました。

1 集積回路の設計

1.1 構想

集積回路の機能、実装形態、及び使用環境等の中心的項目について定義を行うステップである。

これらの項目に加えて、開発期間、費用、人的資源、物的資源等の周辺の項目についても考慮する必要がある。周辺の項目が、中心的項目の実行に多大な影響を及ぼすことがあるからである。

選別・試験の方式についてもこの段階で考慮することが望ましいと思う。道具立て、及び回路設計において特別な工夫が必要になることがあるからである。

構想段階においても SPICE (アナログ回路シミュレータ)、及び Verilog 又は VHDL(デジタル回路シミュレータ)を有効に利用することができる。抽象的(機能的)な回路記述を用いて、回路シミュレーションを行う事によって、見落としを発見することができるからである。

なお、Verilog-A にも注目する必要があると思う。アナログ機能とデジタル機能を抽象的なレベルで一体的に取り扱うことができるからである。また、SC 回路¹を検討する場合には、むしろ、数学的なツールを用いた方が効率的であると思う。SPICE では、処理時間がかかりすぎて実際的でないことが多々あるからである。

1.2 製造プロセスの選択

開発において使用する半導体プロセスを決定するステップである。

開発対象と当該半導体プロセスの適合性を確認することが主たる目的となる(中心的項目)。同時にメーカー側の協力体制も重要な要素になると思う(周辺の項目)。

このステップにおいて、メーカーから素子パラメータ、及び IP ライブラリー²の提供を受け、これらを用いて次の項目である具体的な回路設計を行うことになる。

しかし、メーカーの提供する SPICE 用のモデルパラメータ、IP ライブラリーを特徴づけるパラメータが、開発対象の機能、又は使用環境に適合していない場合がある。

このような場合には、テストサンプルの提供を受けて、SPICE パラメータの抽出、IP ライブラリーに係るパラメータの再確認を行う必要がある。高温、低温、耐放射線、デジタル/アナログといったカテゴリーにおいて問題となると思う。メーカーは、自社の必要の限度においてのみ設計パラメータの抽出を行っているのが一般的だからである。

¹スイッチによって容量の配置をダイナミックに構成することができるようになっていく回路をいう。一般には、 z -変換のテクニックを用いて解析することが多いと思う。

²一般には、知的財産のことをいう。ここでは、検証済みの再利用可能な回路ブロックの集合を意味している。

なお、メーカーの「営業秘密」³の開示を受ける事になるので秘守契約⁴を締結するのが一般的である。契約違反は、一般に、利用許諾契約の解除の条件になるとともに、差止請求、損害賠償請求等の民事訴訟を提起される原因となることもある。積極的違反行為（故意）に限定されず、消極的な違反行為（過失）であっても免責されないことがある。

1.3 回路設計

開発対象の機能を具体的に電子回路として実現していくステップである。

アナログ回路については、SPICE を使用するのが定石である。SPICE には、一般に、Diode、BJT、MOS-FET、MESFET、JFET 等の素子モデルが組み込まれている。しかし、サブミクロンの MOSFET や、最先端素子についてはケース・バイ・ケースである。そこで、一般には、受注メーカーが日常的に使用しているものを用いるのが無難であると思う。Avanti⁵の HSPICE は、その候補になり得ると思う。その他、TANNER 社の TSPICE、Cadence の PSPICE 等が使い勝手が良いと思う。

それぞれ以下のホームページを参照のこと。

- HSPICE: <http://www.ntt-at.co.jp/>
- TSPICE: <http://www.tanner.jp/EDA/>
- PSPICE: <http://www.cadence.co.jp/>

ディジタル回路については、Verilog(又は VHDL) で回路機能を定義した後、人力、又は常套手段である論理合成の手法⁶で具体的に論理ゲートによって構成された回路を発生させる。この時、IP ライブラリーとしてのゲートモデルが必要である。

受注メーカーからゲートモデルの提供がない場合には、受注メーカーの協力を得て、当該ゲートに係る IP ライブラリーを整備する必要があると思う。設計の負担を高度に低減するとともに、製造段階での検証に資するところが大きいと考えるからである。なお、IP ライブラリーには、論理合成に係る適合性の他、一般に、当該回路ブロックに対応するレイアウトを附属させなければならないから、独自にこれを開発するとなると、負担は少なくない。

最終的には、アナログ回路とディジタル回路を合体させ、SPICE の記述とし完成させる必要がある。後述のレイアウト設計の検証は、レイアウトから抽出された SPICE ネットリストと設計図としての SPICE ネットリストとの相互比較によるからである。

なお、素子パラメータは、worst、typical、best といった 3 種類の水準で提供される。ディジタル回路の設計では、一般に、これら 3 種類のパラメータのすべてにおいて正常動作を確保できるように回路設計することが要請される。このような制約をかけることにより半導体製造プロセスにおける製造条件が限界までずれ込んだとしても良品を確保できることになる。しかし、アナログ回路においては、ディジタル回路の場合のようにきつい条件を要請すると、設計コストが発散するような事態が有り得る。そこで、最初から、例えば、worst、typical、best それぞれのパラメータに最適化された 3 種類又はそれ以上の回路を同時に作り込むことも行われる。この技法を「水準を振る」という。

高温/低温用の回路では、温度をパラメータとした水準というのも有り得ると思う。高温/低温用に最適化した回路については、直接的にウェハーレベルでのイールド検定を行うことができないから、常温に最適化した回路を別途作り込むということも有効である。

1.4 レイアウト設計

半導体製造プロセスにおいて使用する露光マスクの原図を描くステップである。

露光マスクは、メーカーごとに独自の製造工程に依拠しているため、一般に、ここでもメーカーからデザイン・ルールの開示を受ける必要がある。従って、ここでも、NDA を締結することになる。論文への、レイアウト図の掲載の際には、受注メーカーの「事前の了解」が必要となることがある。

しかし、デザイン・ルールに明記されていること以外にも通常多くの技法が隠されているので、できることなら、メーカーの協力を仰ぐのが良いと思う。サブストレートコンタクト、ウエルコンタクトなどの密度は、

³不正競争防止法上の用語であって、非公知性、秘密管理性、有用性が要件とされている。これらの要件を満たせば、技術的情報には限定されない。

⁴NDA:Non-disclosure agreement

⁵2001年12月現在、Synopsys 社に買収されたという情報がある。

⁶例えば、Synopsys 社の Design Compiler

ラッチアップ耐性との関係で重要である。また、配線層にスリットを入れて応力割れを防止する方法もある。これらは、個々の半導体プロセスに特有の必要的技法でありながら、デザインルールに反映されていない項目であることが有り得るからである。さらに、静電破壊に対する耐性、耐放射線設計等もノウハウ⁷に属する事項であって、デザイン・ルールに明示的に反映しきれていないことが多いと思う。

ただし、フロアプラン⁸といわれるステップにおいては積極的に関与する必要がある。アナログ/ディジタル間の干渉や、信号チャンネル間のクロス・トークを回避する必要性については、受注メーカーでは、それを探知することにそもそも動機が働かないことがあるからである。

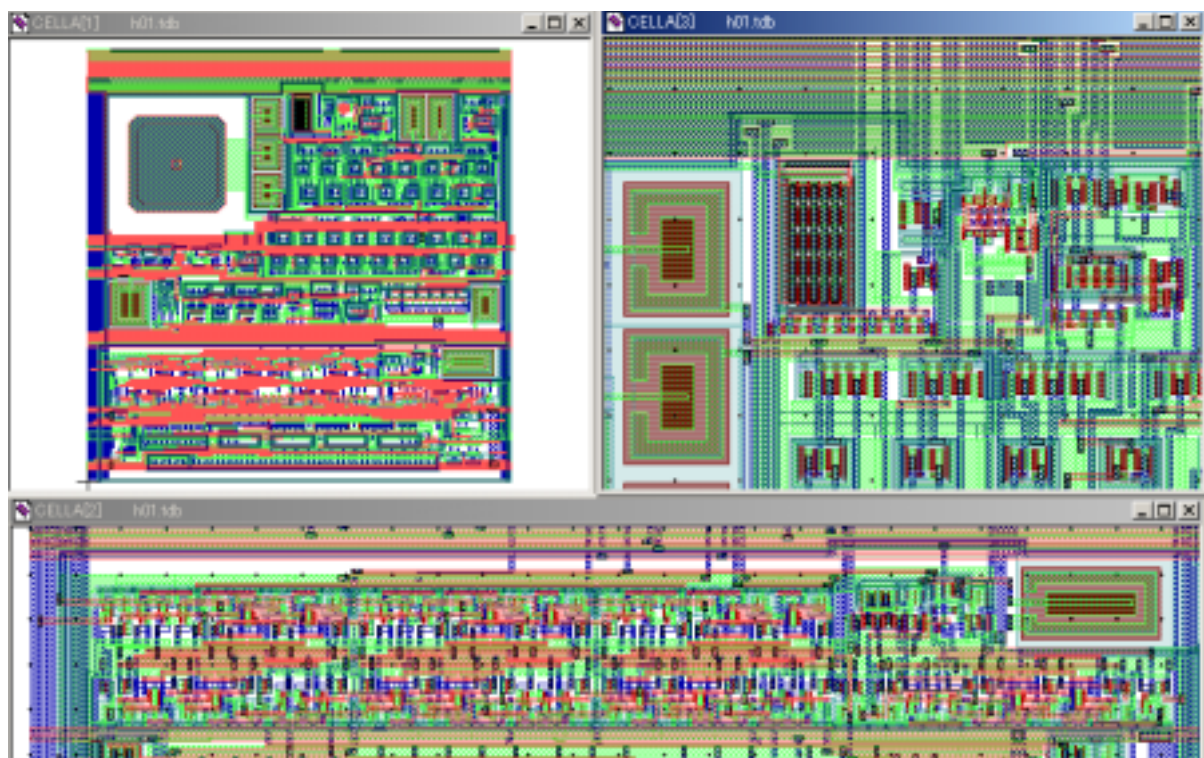


Figure 1: TANNER 社のレイアウトエディターを用いて、開発中のピクセル検出器のレイアウトデータを表示したものである。

レイアウトのステップにおける最終の作業は、DRC 及び LVS といわれる検証作業である。

DRC は、デザイン・ルール・チェックといわれるものであって、作図上の要求を満足しているか否かの確認及び必要な修正を行うものである。具体的には、配線の幅、配線間の距離、素子、又は打ち込み領域間のクリアランス等が対象となる。

LVS は、レイアウト・バーサス・スキマティックといわれるものであって、既述のように、回路設計によって発生させた SPICE ネットリストと、レイアウトから抽出した SPICE ネットリストとをつきあわせて、一致、不一致を発見し、必要な修正を行うものである。

DRC は、メーカーだけの関与で完遂することができると思うが、LVS については、回路設計担当の開発者の関与が有効であると考ええる。レイアウトから抽出された SPICE データには、付随的にたくさんの抵抗、容量、さらに、場合によっては予想外のトランジスタが含まれていることもある。これらの付随的素子が、本来の回路の動作を阻害することも有り得る。そこで、レイアウトから抽出された SPICE データを用いて回路動作の検証を行うと共に、開発者において、再設計の要否についての判定をする必要が生ずるからである。

しかし、この作業は、一般的には、大変な消耗戦になることがある。そこで、一部分の回路を削除してサブセットを構成するような技法を用いて、困難を回避することも行われている。

受注メーカーにレイアウトを依頼する場合においては、レイアウトツールや大型プロッタを設備することの要否が問題となる。最低限の設備は必要であろうと考える。必要とする部位の図面を必要な縮尺で、しかも

⁷技術に関する営業秘密、および、営業秘密の要件を必ずしも満たさないけれども、それに準じた技術情報をいう。

⁸部品としての回路ブロックを全体としてどのように配置するかという問題を解決することをいう。

レイヤーを正確に区別することなしには、最終的な検証が達成できないからである。例えば、電源やグランドの配線層は、100 μm を超える配線幅のものから、最小線幅のものまであって、それらに係る不具合は、DRC や LVS による検証によっても容易に見過ごされてしまうことがある。そこで、レイアウトツールのディスプレイと大型プロッターによる出図を相補的に利用して、人力による検証も補足的に行う必要があると考える。なお、レイアウトは、GDSII といわれる形式のファイルで交換されるので、このファイル形式を、読み込み、表示し、出図する機能を持つツールが必要である。1 に TANNER 社のレイアウトエディターを用いて開発中のピクセル検出器のレイアウトデータ示した。一般にレイアウトエディターでは、その全貌と細部を同時に観察することができるようになっている。

TANNER 社のレイアウトエディターは、むしろ簡易的なものであって本格的には、MENTOR, Cadence, SHI(SX-9000) 等が主流である。

1.5 シリコンプロセス

レイアウト設計に沿った半導体回路を作り込むステップである。

レイアウト設計での原図を基にして、露光マスクを制作する。⁹。露光マスクは、適宜、半導体プロセスの各ステップにおいて使用される。

半導体プロセスの検証には、各ステップごとの検証、と全行程の終了後の検証とが有り得る。いずれも PCM (プロセス・コントロール・モニター) といわれる小規模かつ複数の回路素子の特性を確認することにより、工程ごとの正当性をサポートするためのものである。これらは、メーカーの裁量において用意され使用されるものであるが、出来上がり状態での SPICE パラメータの抽出にも用いることができるものである。また、開発者が特に注意を要すると考える項目についてはメーカー側に対応を要請して特別な PCM の設計を依頼することも必要となるかも知れない。

1.6 評価・検査

評価には、半導体プロセスの評価と回路設計の評価があり、これらは密接に関係していることがある。

しかし、半導体プロセスは、一定の許容範囲に入っていればそれを咎めることのできない性格のものであって、許容範囲の広い回路設計になっていないことに非難が集中することになる。

そこで、回路設計の段階において、素子パラメータを許容限度で振ること (モンテカルロ法) により一応の確認を行える。また、既述の「水準を振る」ことにより、良品の出現率の確保を図っている。

しかし、そのカバレッジは、依然として、一般的には確定することはできないので、最終的には、半導体プロセスの出来上がり状態で評価を行う必要がある。

回路の評価は、具体的に不具合箇所を特定することが要請されるため、開発目的となっている回路全体を対象とすることは適切ではない。そのため、クリティカルと思われる複数の回路ブロックをあらかじめレイアウト上、独立に用意しておくことが望まれます。単にプローブテストのみで評価を行うのであれば TEG (テスト・エレメント・グループ) のカテゴリーで取り扱うことができるが、パッケージに実装して評価試験を行うことが必要であれば独立した集積回路としての体裁を整える必要がある。

1.7 選別

選別とは、良品を選び出すステップをいう。

選別には、ウェハー単位での選別と、回路単体での選別がある。

ウェハー単位での選別においては、半導体プロセス全体の終了をまたずに、PCM の結果にもとづいて、各工程ごとに不良ウェハーを廃棄していく。

回路単体の選別では、プローブカードを用いて、明白な欠陥を有する回路ブロック (集積回路の単位) にマークを付すことにより不良品を良品から区別する。選別内容のカバレッジは、アナログ/デジタル、回路規模、試験機能の有無等により完璧なものから低レベルにどどまるものまで様々有り得る。

最低限の試験項目としては、電源電流の異常の有無、入出力のアナログ電圧、論理回路であれば H/L のトグルの確認を挙げることができる。

通常は、上記項目に加えて、デジタル入力パッドにテストベクターを与えて、各タイムスロットでの出力信号 (アナログ電圧、デジタル H/L(or Hi-Z) 等) の正常応答を確認することにより選別を行う。

テストベクターは、論理回路シミュレーターで合理的に調整することにより、フォールト・カバレッジをできるだけ確保するようにする。デジタル回路では、すべての内部ノードを必ずトグルさせることが一つのメ

⁹例外的に電子ビーム直描という手法がとられることがあるが、試作に限定されるものと考えて良いと思う。

ジャーになり得る。しかし、アナログ回路においてはケース・バイ・ケースである。前置増幅器を含むアナログ回路等では、ほとんど絶望的な場合も有る。環境雑音により、増幅器が飽和してしまうからである。

1.8 組立て実装工程

組立て実装工程は、集積回路の切り出し、パッケージング（ダイ・ボンディングとワイヤー・ボンディング）、及びボンディング等の接続個所の確認工程とから構成されている。

接続個所の検証は、通常パッド部に作りこまれた保護ダイオードの応答を確認することにより行うことができる。

JTAG 規格によるバウンダリー・スキャン・テスト¹⁰ の手法にも注目する必要があると思う。規格に基づいた構成を採用することによって、JTAG-IP の利用、テストツールの調達、さらには、テストベンチの共通化などにおいて利益を享受することができると考えるからである。

特に、ピクセル検出器のように、多数の読み出しセルにシリアルにアクセスするようなシステムでは、チップ上のアーキテクチャーとしても考慮の対象のひとつであると考ええる。

2 参考文献等

- P.R.Gray & R.G.Meyer, "Analysis and design of analog integrated circuits", John Wiley & Sons, 1984
- S.M.Sze, "Physics of semiconductor devices", John Wiley & Sons, 1981
- 池田 博一、「電子回路講義案」、KEK Report 2001-8, July 2001
- 池田 博一、「Electronics for Particle Measurement」、KEK Report 2002-8, Sep 2002
- VDEC: <http://www.vdec.u-tokyo.ac.jp/> には、試作開発のための具体的情報が掲載されている。

3 執筆担当者の連絡先

執筆者は、高エネルギー加速器研究機構、素粒子原子核研究所に所属している。

念のため連絡先を以下に示す。

- E-mail: ikedat@post.kek.jp
- 電話: 029-864-2580
- FAX: 029-864-2580
- 居室: 研究本館 202 号室

以上

¹⁰H. Bleeker et al., "Boundary-scan Test", Kluwer Academic Publishers, ISBN 0-7923-9296-5 に詳しい解説がある。国内では、アンドールシステムサポートというところで製品の開発を行っている。<http://www.sys-andor.co.jp/>を参考のこと。