

CERN Summer Student Programme 2018

京都大学 理学研究科

三野 裕哉

mino.yuya.33u@st.kyoto-u.ac.jp

2018年(平成30年)10月24日

1 はじめに

CERN Summer Student Programme では、世界中の国々から物理学やコンピューティング、工学を専攻する300名ほどの学生が8~13週間にわたってCERNに滞在し、各自配属された先で supervisor の指導のもと研究を行なった。

私は6/25から8/31の10週間にわたって、supervisorである Andrea Triossi 様の指導のもと Compact Muon Solenoid (CMS) 実験のプロジェクトに参加した。(図1)



図1: Summer Student Programme 参加者の集合写真

2 活動内容

2.1 講義

プログラムの前半の5週間は午前中に3コマの講義を受け、午後から各自研究を行なった。講義の内容は素粒子物理学や検出器など馴染みのある内容から、天文学や加速器についてまで幅広く取り扱われており、1ヶ月という短期間に多くの分野について学ぶことができた。講義の録画とスライドはウェブ上にアップロードされていたため、理解できなかった部分に関しては講義のあとに確認することができ、授業のフォローに困ることはなかった。

2.2 施設見学

施設見学では Summer Student 全員に対して ATLAS, Synchrotron, Antiproton Decelerator, Data Center と4つの施設を見学する機会が設けられた。この4つの施設に加え、私は CMS に配属されていたため、CMS のコントロールセンターの見学の機会もあり貴重な体験をすることができた。

2.3 研究内容

CMS は Large Hadron Collider (LHC) の衝突点の1つに設置されている汎用検出器実験で、2012年にはヒッグス粒子の存在を突き止め、現在はヒッグス粒子の精密測定や新粒子の探索を続けている。LHC は2023年に Run 3 が終了し、2026年開始予定の High Luminosity LHC (HL-LHC) に向けてアップグレードのためシャットダウンを行う。この期間を Long Shutdown 3 と呼び、HL-LHC のためのアップグレードを Phase2 アップグレードと呼ぶ。

CMS ではバレル部分を通過したミュオンの位置を Muon Drift Tube (MDT) という検出器を用いて精密に測定する。MDT のエレクトロニクスも現在使用されている ASIC から FPGA を搭載した On-Board electronics for Drift Tube boards (OBDB) と呼ばれるボードにアップグレードされる。

私は CMS の MDT グループに配属され、Phase2 でアップグレードされるフロントエンドボードのテスト用のファームウェアの作成に取り組んだ。

2.3.1 Muon Drift Tube (MDT)

HL-LHC ではルミノシティの増加に伴い放射線量が増加するため、Long Shutdown 3 の間に現行のフロントエンドボードからより放射線耐性が高い OBDB にアップグレードされる。Phase2 では MDT 用に約1000個

の OBDT が生産され、性能評価のためのボードテスト用のファームウェアが将来的に必要となる。

2.3.2 On-Board electronics for Drift Tube boards (OBDT)

現在使用されている MDT のフロントエンドボード上の ASIC には TDC が搭載されており、MDT に入射したミュオンの時間情報を検出器のすぐ側でデジタル化する。Field-programmable gate array (FPGA) は ASIC と同様に特定の処理を行うように設計可能な集積回路で、何度でも書き換え可能であるというメリットがある一方、ASIC と比べて 1 個あたりの単価が高く、配置配線の遅延が生じるというデメリットがあるため CMS の MDT には ASIC が使用されている。しかし近年、技術の進歩に伴って FPGA の性能も ASIC に近づきつつあるため、上記の柔軟さにより検出器で使用されている ASIC が FPGA に取って変わられつつある。FPGA には SRAM ベースとフラッシュメモリベースの 2 種類存在するが、OBDT では放射線耐性が高いという理由からフラッシュメモリベースのものを使用する。

OBDT には Microsemi 社製の Polarfire ファミリー FPGA が搭載される予定であるが、OBDT のプロトタイプが生産されるのは 2018 年 9 月と Summer Student Programme 終了後だったため、同様の FPGA が搭載されている評価ボードを用いてファームウェアの製作に取り組んだ。

2.3.3 ボードテスト

ボードテストでは OBDT を信号パターンの出力用に 1 枚、入力用に 1 枚の計 2 枚使用し、それらのために 2 種類のファームウェアを用意する。今回は図 2 のように評価ボードを 2 枚用いてファームウェアの検証を行なった。

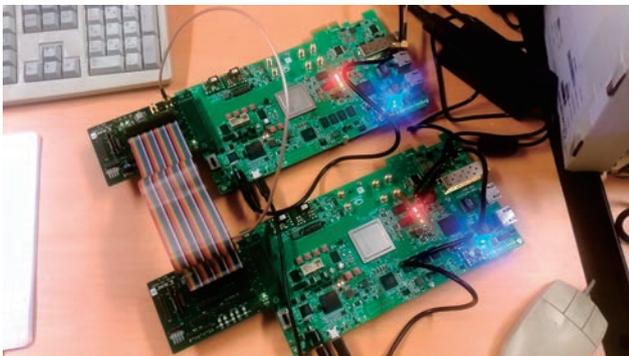


図 2: 2 つの評価ボードを用いたボードテスト

出力信号は以下の 2 種類である。

1. 擬似ランダム信号 (Pseudo Random Bit Sequence)

2. 遅延パルス信号

擬似ランダム信号は有限の周期を持つような擬似的なランダム信号で、OBDT の異なる周波数に対する応答を調べることができる。

TDC の計測は LHC clock (40 MHz) によってトリガーされ、1.2 GHz でサンプリングすることができるため、TDC の時間分解能はおよそ 1 ns となる。遅延パルス信号は TDC が正確に 1 ns 間隔で時間情報を得ることができているか確認するために用いられる。TDC は 25 ns 周期で入力された信号の時間情報を測定するため、1 μ s 周期でパルス信号を送ると TDC は 1~25 ns のうち同じ結果を出力する。さらに周期を 1 ns 遅らせてパルス信号を送ると、TDC が正しく信号を処理できている場合 TDC の出力結果は前後のパルス信号で 1 ns だけシフトする。全てのチャンネルに遅延パルス信号を入力し、TDC の出力結果が 1 ns ずつシフトしているか確認することで TDC の性能評価を行うことができる。

2.3.4 Time-to-Digital-Converter (TDC)

MDT の TDC は入射した粒子の信号パルスの立ち上がり時間を計測する。TDC の出力は data out と呼ばれる 25 bit の信号で、そのうちの最初の 5 bit はチャンネル番号 (ch)、最後の 5 bit は時間 (time) に対応する。さらに 1 bit は strobe out と呼ばれ、チャンネル情報と時間情報を出力していることを表す信号に対応する。現在は評価ボードを用いているため接続されるチャンネル数は 20~30 個ほどでチャンネル番号も 5 bit で十分だが、OBDT ではチャンネル数は 240 個ほどにまで増加するため使用していない bit はチャンネル数の拡張などに用いられる。

1 つの OBDT には複数の信号線が繋がっており、同時に複数の信号が入力されることがある。TDC は同時に複数の信号が入力されると図 3 のように OBDT は data out をシリアル信号として出力する。

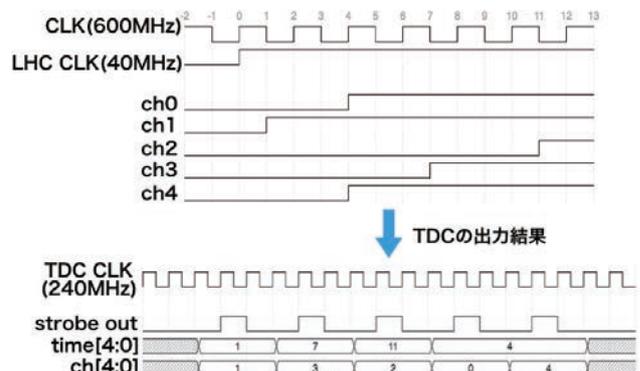


図 3: 5 つのチャンネルに信号が入力された場合の TDC の出力例

TDC のサンプリングレート 1.2 GHz は 600 MHz Clock の立ち上がりと立ち下りの両方を利用して処理を行う Double Data Rate (DDR) という方式によって実現している。また TDC Clock (出力レート) を 240 MHz に設定しているのはパソコンを用いて 図 4 と図 5 のように TDC の出力結果を読み出す際のサンプリングレートにも限界があり、これ以上大きな値に設定してしまうと出力結果を正しく読み出せないためである。

2.3.5 結果

以下の図 4 と図 5 は遅延パルス信号を入力した時のある時間での TDC の出力結果と $1\mu\text{s}$ 後の出力結果を表す。

time =	8		10	9	8	
ch =	1	15	21	27	30	3

図 4: 信号を 1 ns シフトする前の TDC の出力結果

time =	9		11	10	9	
ch =	1	15	21	27	30	3

図 5: 信号を 1 ns シフトした後の TDC の出力結果

2つの図から同じ ch に対応する time が全て 1 ns シフトしているため、TDC が正しく動作していることが確認できる。全てのチャンネルに対して 前後の出力結果で 1 ns ずつシフトするように設定しているため、もし時間のズレが 1 ns と異なるチャンネルがあった場合、該当するチャンネルもしくは TDC に問題があることが確認できる。将来的には、このボードテスト用のファームウェアは OBDT に実装され、1 枚ずつ入力用の OBDT を切り替えながら性能を評価する。

2018 年 9 月に OBDT の試作品が生産されるため、プログラム期間中に OBDT にファームウェアが実装されることはなかったが、ボードテスト本番では今回作成したファームウェアが使用される予定である。

3 生活

プログラムの期間は CERN の敷地内にあるホテルに滞在していたため、講義の場所やオフィスも近く非常に快適に過ごすことができた。研究は午前から夕方 17 時頃まで行い、そのあとは CERN 内の食堂やホテル内のキッチンで他の Summer Student と談笑したり、時には卓球をしたりして過ごした。

周りには工学やコンピューティングの分野の学生が多かったため、会話の内容も幅広くどのような研究を行なっ

ているのかや興味のある分野について話した。時には高エネルギー物理学実験の講義の内容について聞かれたので自分の知っている範囲で説明し、互いに理解を深めることができた。

4 今後の抱負

今回参加した CMS 実験で担当した仕事はこれまであまり触れることのなかったエレクトロニクスについてだったが、supervisor に一から丁寧に教えていただいたので特に FPGA について詳しく学ぶことができた。これからおこなっていく研究の中でも、エレクトロニクスの知識を持っているといつか役に立つことはあると思うので今回経験したことを忘れないようにこれからも継続的に学んでいきたい。

5 今後このプログラムへ望むこと

日本からは高エネルギー物理学実験を専門とする学生のみでの参加だったが、他の国からはコンピューティングや工学を専門とする分野からの参加者も多かった。同じ分野の学生と話をすることは専門性を高める上でももちろん必要なことだが、他分野の学生と話すことは視野を広めるためにも重要だと思うので、今後はぜひコンピューティングや工学分野の学生も Summer Student Programme に応募できるようにしてほしい。

6 謝辞

まず、Summer Student Programme に参加するにあたって KEK の皆様、特にハイス由乃様と宮居美沙様には準備の段階から現地での生活に渡って大変お世話になりました。

申し込みの際には応募書類の添削などで京都大学の出家教授と隅田助教には細やかなご指導をいただきました。心より感謝いたします。

また CERN での生活については、一緒にこの Summer Student Programme に参加した江角さん、大杉さん、釜野さんと現地で研究をしている ATLAS Japan の皆様にも大変お世話になりました。

最後になりましたが、CERN の研究では supervisor の Andrea Triossi 様にプロジェクトについて丁寧に指導していただきました。おかげで 2ヶ月間という短期間にそれまであまり触れたことのないエレクトロニクスの分野について多くのことを学ぶことができました。